

Docket No.: 67161-074

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
:
Tsukasa OOISHI :
:
Serial No.: : Group Art Unit:
:
Filed: July 21, 2003 : Examiner:
:
For: THIN FILM MAGNETIC MEMORY DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

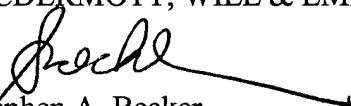
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-011939, filed January 21, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 21, 2003

日本国特許庁

JAPAN PATENT OFFICE

Tsukasa Ooishi

July 21, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2003年 1月 21日

出願番号

Application Number: 特願2003-011939

[ST.10/C]:

[JP2003-011939]

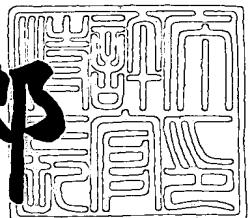
出願人

Applicant(s): 三菱電機株式会社

2003年 2月 21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009160

【書類名】 特許願
 【整理番号】 542942JP01
 【提出日】 平成15年 1月21日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/105
 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 大石 司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置

【特許請求の範囲】

【請求項1】 半導体基板の主表面上で所定の間隔を隔てて設けられ、メモリ素子として動作する第1および第2の磁性体メモリセルと、

前記第1の磁性体メモリセルと交差するように一方向に延在し、前記第1の磁性体メモリセルに磁場を印加するための第1の配線と、

前記第2の磁性体メモリセルと交差するように前記第1の配線と平行に延在し、前記第2の磁性体メモリセルに磁場を印加するための第2の配線と、

前記第1の配線から前記第2の配線までの間を充填し、かつ前記第1および第2の配線と接触するように設けられた磁性体膜とを備える、薄膜磁性体記憶装置。

【請求項2】 前記第1および第2の配線は、半導体基板の主表面と前記第1および第2の磁性体メモリセルとの間に設けられている、請求項1に記載の薄膜磁性体記憶装置。

【請求項3】 前記第1および第2の配線は、半導体基板の主表面と前記第1および第2の配線との間に前記第1および第2の磁性体メモリセルが位置するように設けられている、請求項1に記載の薄膜磁性体記憶装置。

【請求項4】 前記磁性体膜は、前記第1および第2の配線が前記第1および第2の磁性体メモリセルと向い合う側のみを露出させるように前記第1および第2の配線を覆っている、請求項1から3のいずれか1項に記載の薄膜磁性体記憶装置。

【請求項5】 前記磁性体膜は、前記第1および第2の配線が延在する方向に沿って延在しており、前記第1および第2の磁性体メモリセルと前記第1および第2の配線とがそれぞれ交差している領域が前記第1および第2の配線が延在する方向に延びる区間において前記磁性体膜は少なくとも延在している、請求項1から4のいずれか1項に記載の薄膜磁性体記憶装置。

【請求項6】 前記磁性体膜は、マンガン、亜鉛および鉄からなる群より選ばれた少なくとも一種の元素の酸化物を含む、請求項1から5のいずれか1項に

記載の薄膜磁性体記憶装置。

【請求項7】 半導体基板の主表面上で所定の間隔を隔てて設けられ、メモリ素子として動作する第1および第2の磁性体メモリセルと、

前記第1の磁性体メモリセルと交差するように一方向に延在し、前記第1の磁性体メモリセルに磁場を印加するための第1の配線と、

前記第2の磁性体メモリセルと交差するように前記第1の配線と平行に延在し、前記第2の磁性体メモリセルに磁場を印加するための第2の配線と、

前記第1の配線と前記第2の配線との間を充填する磁性体膜と、

前記第1の配線と前記磁性体膜との間および前記第2の配線と前記磁性体膜との間の各々に介在する絶縁体膜とを備える、薄膜磁性体記憶装置。

【請求項8】 前記第1および第2の配線は、半導体基板の主表面と前記第1および第2の磁性体メモリセルとの間に設けられている、請求項7に記載の薄膜磁性体記憶装置。

【請求項9】 前記第1および第2の配線は、半導体基板の主表面と前記第1および第2の配線との間に前記第1および第2の磁性体メモリセルが位置するように設けられている、請求項7に記載の薄膜磁性体記憶装置。

【請求項10】 前記磁性体膜は、前記第1および第2の配線が前記第1および第2の磁性体メモリセルと向い合う側のみを露出させるように前記第1および第2の配線を覆っている、請求項7から9のいずれか1項に記載の薄膜磁性体記憶装置。

【請求項11】 前記磁性体膜は、前記第1および第2の配線が延在する方向に沿って延在しており、前記第1および第2の磁性体メモリセルと前記第1および第2の配線とがそれぞれ交差している領域が前記第1および第2の配線が延在する方向に延びる区間において前記磁性体膜は少なくとも延在している、請求項7から10のいずれか1項に記載の薄膜磁性体記憶装置。

【請求項12】 前記磁性体膜は、コバルト-鉄の合金、およびニッケル-鉄の合金の少なくとも一方を含む、請求項7から11のいずれか1項に記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、一般的には、薄膜磁性体記憶装置に関し、より特定的には、別々のメモリセルを構成する磁性体メモリセルの各々が近接して設けられた薄膜磁性体記憶装置に関する。

【0002】

【従来の技術】

近年、次世代の半導体記憶装置として、MRAM (magnetic random access memory) が研究されている。MRAMのメモリセルアレイ構成としては、磁気トンネル接合 (MTJ ; magnetic tunnel junction) を含むTMR (tunneling magnetoresistive) 素子と1つのトランジスタとからなる、いわゆる1トランジスタ1MTJ型が例として挙げられる。このようなMRAMのメモリセルでは、TMR素子の下方に絶縁体膜を介してディジット線が延在している。また、TMR素子の頂面に接触するようにビット線がディジット線に交差して延在している。そして、ディジット線およびビット線に電流を流すことによって発生する磁場を用いて、TMR素子の磁気トンネル接合を構成するフリー層としての強磁性体層の磁化方向を変更しメモリセルのデータの書き換えを行なっている。

【0003】

しかし、互いに独立したメモリセルを構成するTMR素子の各々は、MRAMの小型化を図るために近接して設けられている。このため、1つのメモリセルを構成するTMR素子において所定の磁場を発生させようとディジット線およびビット線に電流を流すと、そのTMR素子に隣接する別のTMR素子においても予定しない磁場を発生させてしまうという問題が生じる。

【0004】

また、書き込み時の消費電力を低減させることを目的とした磁気記憶装置が特開2002-110938号公報に開示されている（特許文献1）。特許文献1に開示されている磁気記憶装置は、MRAMであって、磁気記憶素子とトランジスタとから構成されている。磁気記憶素子は、直交する配線と、その配線の各々が交差する部分に位置する強磁性2重トンネル接合とを備える。直交する配線の

各々には、配線が強磁性2重トンネル接合に向い合う側を露出させ、その反対側および配線の側面を覆う磁性膜が設けられている。

【0005】

このような構成の磁気記憶装置によれば、隣り合う2つの記憶セルの一方に書き込み用の磁界を印加した場合に、その磁界が他方の記憶セルに与える影響を低減することができる。これにより、隣り合う2つの記憶セルで発生するクロストークを有效地に防止することができる。

【0006】

【特許文献1】

特開2002-110938号公報

【0007】

【発明が解決しようとする課題】

特許文献1に開示された磁気記憶装置では、配線を磁性体で覆うことによって磁性体をクロストークの発生を抑制するためのシールドとして利用している。配線を磁性膜で覆うためには、まず層間絶縁膜に溝を形成し、この溝に磁性体を埋め込む。続いて、再度磁性体に配線用の溝を形成し、配線用の導電体膜を埋め込む。また、別の製造方法としては、層間絶縁膜に配線用の溝を形成し、この配線用の溝に磁性体と導電体膜とを一度に埋め込む。

【0008】

しかし、層間絶縁膜に溝を形成するピッチは、溝を形成するためのフォトリソグラフィ工程上の制約から一定以上に小さくすることができない。一方、半導体装置の微細化が求められる今日において、溝を形成するピッチをできる限り小さくする必要がある。これらの理由から、層間絶縁膜に形成する溝のピッチは所定の値に決定されている。

【0009】

このような状況下において、配線を磁性体で覆おうとすると磁性体の厚みが必要となるため、磁性体の厚みだけ配線の幅が小さくなる。また、配線の下方にある構造物から配線用の溝が形成される高さが決定される場合、同様に磁性体の厚みだけ配線の高さが小さくなる。このように、配線の幅および高さが小さくなっ

た場合、配線の断面積が小さくなり配線の抵抗が増大する。この配線抵抗の増大は、ディジット線およびビット線に流す磁場発生用の電流を阻害し、TMR素子において十分な磁場を発生できなくなるという問題が発生する。

【0010】

また、配線を磁性膜で覆うため層間絶縁膜に2度溝を形成する製造方法を採った場合、フォトリソグラフィの露光工程を2度行なう必要が生じる。このためマスクずれが生じ、配線の場所によって磁性体からなるシールドの厚みが異なるという問題が発生する。また、磁性体と導電体膜とを一度に埋め込む製造方法を採った場合には、最初に埋め込む磁性体の厚みのばらつきによって配線の厚みが不揃いになるとともに、配線を所定の位置に形成できないという問題が発生する。

【0011】

そこでこの発明の目的は、上記の課題を解決することであり、隣接するメモリセル間で発生するクロストークを抑制するとともに、配線抵抗が増大することのない薄膜磁性体記憶装置を提供することである。

【0012】

【課題を解決するための手段】

この発明に従った薄膜磁性体記憶装置は、半導体基板の主表面上で所定の間隔を隔てて設けられ、メモリ素子として動作する第1および第2の磁性体メモリセルと、第1の磁性体メモリセルと交差するように一方向に延在し、第1の磁性体メモリセルに磁場を印加するための第1の配線と、第2の磁性体メモリセルと交差するように第1の配線と平行に延在し、第2の磁性体メモリセルに磁場を印加するための第2の配線と、第1の配線から第2の配線までの間を充填し、かつ第1および第2の配線と接触するように設けられた磁性体膜とを備える。

【0013】

【発明の実施の形態】

この発明の実施の形態について、図面を参照して説明する。

【0014】

(実施の形態1)

図1は、この発明の実施の形態1における薄膜磁性体記憶装置を示す断面図で

ある。図1は薄膜磁性体記憶装置のメモリセル領域を示しており、MRAM (magnetic random access memory) のメモリセルが2つ形成されている。

【0015】

図1を参照して、シリコン基板1の主表面1aには、ソース／ドレイン領域2aから2dが形成されている。ソース／ドレイン領域2aおよび2bの間に位置するシリコン基板1上には、図示しないゲート絶縁膜を介してゲート電極3aが形成されている。ソース／ドレイン領域2aおよび2b、ゲート電極3aならびにゲート絶縁膜から1つの電界効果トランジスタが形成されている。同様に、ソース／ドレイン領域2cおよび2dの間に位置するシリコン基板1上には、図示しないゲート絶縁膜を介してゲート電極3bが形成されている。ソース／ドレイン領域2cおよび2d、ゲート電極3bならびにゲート絶縁膜から別の電界効果トランジスタが形成されている。ゲート電極3aおよび3bは、ポリシリコン、ポリシリコンとCoSiとの積層膜、またはWSiなどから形成されている。

【0016】

シリコン基板1の主表面1aならびにゲート電極3aおよび3bを覆うようにシリコン酸化膜からなる層間絶縁膜4が形成されている。層間絶縁膜4には、ソース／ドレイン領域2aから2dにそれぞれ達するコンタクトホール5aから5dが形成されている。ソース／ドレイン領域2aから2dが、コンタクトホール5aから5dの底面を規定している。コンタクトホール5bおよび5cは、層間絶縁膜4の頂面側において図1の紙面に対して垂直方向に延在するように形成されている。

【0017】

コンタクトホール5aから5dの内壁を覆うように、バリアメタル膜6aから6dが形成されている。バリアメタル膜6aから6dは、窒化チタン(TiN)または窒化タンタル(TaN)などのバリアメタルから形成されている。バリアメタル膜6aから6d上には、コンタクトホール5aから5dの内部を完全に充填するようにコンタクトプラグ7aから7dが形成されている。コンタクトプラグ7aから7dは、銅(Cu)、アルミニウム(Al)、タンゲステン(W)またはチタン(Ti)などの導電性材料から形成されている。

【0018】

層間絶縁膜4上には、シリコン酸化膜からなる層間絶縁膜8が形成されている。層間絶縁膜8には、コンタクトプラグ7aおよびバリアメタル膜6aに達するコンタクトホール9aが形成されている。層間絶縁膜8には、コンタクトプラグ7dおよびバリアメタル膜6dに達するコンタクトホール9dが形成されている。層間絶縁膜8の頂面側には、コンタクトホール9aおよび9dのそれぞれに連通し、コンタクトホール9aおよび9dよりも大きい径を有するコンタクトホール39aおよび39dが形成されている。

【0019】

コンタクトホール9aおよび9dとコンタクトホール39aおよび39dとの内壁をそれぞれ覆うように、バリアメタル膜11aおよび11dが形成されている。バリアメタル膜11aおよび11dは、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜11aおよび11d上には、コンタクトホール9aおよび9dとコンタクトホール39aおよび39dとの内部を完全に充填するようにコンタクトプラグ12aおよび12dが形成されている。コンタクトプラグ12aおよび12dは、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

【0020】

コンタクトプラグ7bおよび7cの上方に位置する層間絶縁膜8の部分には、シールド用溝22が形成されている。シールド用溝22は、図1の紙面に対して垂直方向に延在している。シールド用溝22の内壁は層間絶縁膜8によって規定されている。シールド用溝22の内壁を覆うように磁性体膜16が形成されている。シールド用溝22の内部には、磁性体膜16によってさらに溝42が規定されている。

【0021】

溝42の内部には、溝42aの向い合う側壁の各々に接触するように磁性体膜15aおよび15cが所定の間隔を隔てて形成されている。磁性体膜15aと磁性体膜15cとの間には、磁性体膜15bが磁性体膜15aおよび15cと間隔を隔てて形成されている。層間絶縁膜8の頂面と、磁性体膜16および15aか

ら15cの頂面とは同一平面上に形成されている。磁性体膜15aおよび15bから15cは、マンガン(Mn)、亜鉛(Zn)、または鉄(Fe)の酸化物からなる磁性体材料によって形成されている。これらの材料から形成された磁性体膜は、比透磁率が数千、比電気抵抗が 10^8 から 10^{12} ($\mu\Omega \cdot cm$)という物性値を示す。

【0022】

磁性体膜15aと磁性体膜15bとの間、および磁性体膜15bと磁性体膜15cとの間にはそれぞれ、シリコン酸化膜からなる絶縁体膜38aおよび38bが形成されている。絶縁体膜38aおよび38bの頂面は、層間絶縁膜8の頂面よりも低い位置に形成されている。磁性体膜15aおよび15bの側壁と絶縁体膜38aの頂面とによって配線用溝23aが規定されている。同様に、磁性体膜15bおよび15cの側壁と絶縁体膜38bの頂面とによって配線用溝23bが規定されている。

【0023】

配線用溝23aおよび23bの内壁を覆うように、バリアメタル膜18aおよび18bが形成されている。バリアメタル膜18aおよび18bは、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜18aおよび18b上には、配線用溝23aおよび23bの内部を完全に充填するように導電体膜17aおよび17bが形成されている。導電体膜17aおよび17bの頂面と層間絶縁膜8の頂面とは、同一平面上に形成されている。導電体膜17aおよび17bは、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。配線用溝23aおよび23bのそれぞれの内部に形成されたバリアメタル膜18aおよび導電体膜17aとバリアメタル膜18bおよび導電体膜17bとは、MRAMのメモリセルにおける第1のディジット線と第2のディジット線とを構成している。

【0024】

第1および第2のディジット線が向い合う側の第1および第2のディジット線の側壁は、磁性体膜15bに接触している。磁性体膜15bは、第1のディジット線から第2のディジット線までの間を充填している。シリコン基板1の主表面

1 a から磁性体膜 1 5 b の底面までの距離は、シリコン基板 1 の主表面 1 a から第 1 および第 2 のディジット線の底面までの距離よりも小さい。シリコン基板 1 の主表面 1 a から磁性体膜 1 5 b の頂面までの距離は、シリコン基板 1 の主表面 1 a から第 1 および第 2 のディジット線の頂面までの距離と等しい。磁性体膜 1 6 および 1 5 a から 1 5 c は、第 1 および第 2 のディジット線の頂面のみを露出させるように第 1 および第 2 のディジット線を覆っている。

【0025】

層間絶縁膜 8 上には、シリコン酸化膜からなる層間絶縁膜 1 9 が形成されている。層間絶縁膜 1 9 には、コンタクトプラグ 1 2 a および 1 2 d にそれぞれ達するコンタクトホール 2 1 a および 2 1 b が形成されている。コンタクトホール 2 1 a および 2 1 b の内部を充填し層間絶縁膜 1 9 の頂面を一部覆うようにして、ストラップ 2 0 a および 2 0 b が形成されている。ストラップ 2 0 a とストラップ 2 0 b とは分離して形成されている。ストラップ 2 0 a および 2 0 b は、銅またはタンタルなどの導電性材料から形成されている。

【0026】

ストラップ 2 0 a および 2 0 b の一方端は、層間絶縁膜 1 9 の頂面上で第 1 および第 2 のディジット線の上方まで延在している。ストラップ 2 0 a および 2 0 b の他方端は、コンタクトホール 2 1 a および 2 1 b の内部でコンタクトプラグ 1 2 a および 1 2 b の頂面にそれぞれ接触しており、シリコン基板 1 上に形成された前述の電界効果トランジスタに電気的に接続されている。

【0027】

ストラップ 2 0 a および 2 0 b の頂面上には、第 1 および第 2 のディジット線の上方に位置して TMR 素子 2 4 a および 2 4 b が形成されている。TMR 素子 2 4 a および 2 4 b は、磁気トンネル接合を含む磁性体メモリセルである。ストラップ 2 0 a および 2 0 b から露出した層間絶縁膜 1 9 の頂面とストラップ 2 0 a および 2 0 b とを覆うように、シリコン酸化膜からなる層間絶縁膜 2 5 が形成されている。層間絶縁膜 2 5 の頂面と TMR 素子 2 4 a および 2 4 b の頂面とは同一平面に形成されている。つまり、TMR 素子 2 4 a および 2 4 b は、層間絶縁膜 2 5 に埋設された状態で形成されているが、TMR 素子 2 4 a および 2 4 b

の頂面は層間絶縁膜25から露出している。

【0028】

層間絶縁膜25上には、シリコン酸化膜からなる図示しない層間絶縁膜59が形成されている。層間絶縁膜59には、層間絶縁膜25の頂面によって底面が規定され、第1および第2のディジット線が延在する方向に垂直な方向に延在する配線用溝36が形成されている。配線用溝36は、TMR素子24aおよび24bの頂面上に形成されている。

【0029】

配線用溝36の内壁を覆うように、バリアメタル膜26が形成されている。バリアメタル膜26は、TMR素子24aおよび24bの頂面と接触している。バリアメタル膜26は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜26上には、配線用溝36の内部を完全に充填するように導電体膜27が形成されている。導電体膜27は、銅、アルミニウム、タンゲステンまたはチタンなどの導電性材料から形成されている。配線用溝36の内部に形成されたバリアメタル膜26および導電体膜27は、MRAMのメモリセルにおけるビット線を構成している。

【0030】

つまり、導電体膜17aおよびバリアメタル膜18aと導電体膜17bおよびバリアメタル膜18bとからそれぞれ構成される第1および第2のディジット線と、導電体膜27およびバリアメタル膜26から構成されるビット線とが、TMR素子24aおよび24bを挟んで直角に交差している。そして、第1および第2のディジット線とビット線とが交差する位置にTMR素子24aおよび24bが形成されている。

【0031】

層間絶縁膜59上には、シリコン酸化膜からなる層間絶縁膜28が形成されている。層間絶縁膜28の頂面側には、配線用溝29aおよび29bが形成されている。配線用溝29aおよび29bは、図1の紙面に対して垂直方向に延在している。配線用溝29aおよび29bの内壁を覆うように、バリアメタル膜30aおよび30bが形成されている。バリアメタル膜30aおよび30bは、窒化チ

タンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜30aおよび30b上には、配線用溝29aおよび29bの内部を完全に充填するように導電体膜31aおよび31bが形成されている。導電体膜31aおよび31bは、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

【0032】

層間絶縁膜28上には、シリコン酸化膜からなる層間絶縁膜32が形成されている。層間絶縁膜32の頂面側には、配線用溝29aおよび29bが延在する方向に直角方向に延在する配線用溝35が形成されている。配線用溝35の内壁を覆うようにバリアメタル膜33が形成されている。バリアメタル膜33は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜33上には、配線用溝35の内部を完全に充填するように導電体膜34が形成されている。導電体膜34は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

【0033】

図1に示されているMRAMの1つのメモリセルは、ワード線としてのゲート電極3a、図示しないゲート絶縁膜、ならびにソース／ドレイン領域2aおよび2bからなる電界効果トランジスタと、この電界効果トランジスタに電気的に接続されたストラップ20aと、ストラップ20aの頂面に接触して形成されたTMR素子24aと、TMR素子24aの下方で延在し、導電体膜17aおよびバリアメタル膜18aからなる第1のディジット線と、TMR素子24aの頂面に接触して延在する導電体膜27およびバリアメタル膜26からなるビット線によって構成されている。

【0034】

また、図1に示されているMRAMの別のメモリセルは、ワード線としてのゲート電極3b、図示しないゲート絶縁膜、ならびにソース／ドレイン領域2cおよび2dからなる電界効果トランジスタと、この電界効果トランジスタに電気的に接続されたストラップ20bと、ストラップ20bの頂面に接触して形成されたTMR素子24bと、TMR素子24bの下方で延在し、導電体膜17bおよ

びバリアメタル膜18bからなる第2のディジット線と、TMR素子24bの頂面に接触して延在する導電体膜27およびバリアメタル膜26からなるビット線とによって構成されている。

【0035】

図2は、図1中の薄膜磁性体記憶装置を示す平面図である。図1では特に、ビット線およびディジット線と、TMR素子24aおよび24bと、磁性体膜16および15aから15cとを示している。図1は、図2中のI—I線上に沿った断面図である。

【0036】

図2を参照して、導電体膜27およびバリアメタル膜26から構成されるビット線が複数本所定の間隔を隔てて一方向に延在している。導電体膜17aおよびバリアメタル膜18aから構成される第1のディジット線と導電体膜17bおよびバリアメタル膜18bから構成される第2のディジット線とが所定の間隔を隔ててビット線が延在する方向に垂直方向に延在している。TMR素子24aおよび24bが、ビット線と第1および第2のディジット線とが交差する位置にマトリックス状に配置されている。磁性体膜16および15aから15cは、第1および第2のディジット線が延在する方向に沿って形成されている。磁性体膜16および15aから15cは、TMR素子24aおよび24bと第1および第2のディジット線とが交差する領域51が第1および第2のディジット線が延在する方向に延びる区間50において延在している。さらに、磁性体膜16および15aから15cは、複数の区間50にまたがって延在している。

【0037】

図1および図2を参照して、シリコン基板1上に形成された電界効果トランジスタによってMRAMの所定のメモリセルを選択する。そして、上述のワード線、ビット線およびディジット線に適宜電流を流すことによって、データの書き換えまたは読み出しを行なう。

【0038】

より詳細に説明すれば、所定のビット線およびディジット線に電流を流すことによって、そのビット線およびディジット線が交差する領域に設けられたTMR

素子に磁場を発生させる。これにより、TMR素子の磁気トンネル接合を構成する強磁性体層の磁化方向を変更し、TMR素子を通過する電流の抵抗値を変動させることができる（トンネル磁気抵抗効果）。このトンネル磁気抵抗効果を利用してデータの書き換えまたは読み出しを行なうことができる。

【0039】

この発明の実施の形態1に従った薄膜磁性体記憶装置は、半導体基板としてのシリコン基板1の主表面1a上で所定の間隔を隔てて設けられ、メモリ素子として動作する第1および第2の磁性体メモリセルとしてのTMR素子24aおよび24bと、TMR素子24aと交差するように一方向に延在し、TMR素子24aに磁場を印加するための第1の配線としての導電体膜17aおよびバリアメタル膜18aから構成される第1のディジット線と、TMR素子24bと交差するように第1のディジット線と平行に延在し、TMR素子24bに磁場を印加するための第2の配線としての導電体膜17bおよびバリアメタル膜18bから構成される第2のディジット線と、第1のディジット線から第2のディジット線までの間を充填し、かつ第1および第2のディジット線と接触するように設けられた磁性体膜15bとを備える。第1および第2のディジット線は、シリコン基板1の主表面1aとTMR素子24aおよび24bとの間に設けられている。

【0040】

磁性体膜16および15aから15cは、第1および第2のディジット線がTMR素子24aおよび24bと向い合う側のみを露出させるように第1および第2のディジット線を覆っている。

【0041】

磁性体膜16および15aから15cは、第1および第2のディジット線が延在する方向に沿って延在しており、TMR素子24aおよび24bと第1および第2のディジット線とがそれぞれ交差している領域51が第1および第2のディジット線が延在する方向に延びる区間50において磁性体膜16および15aから15cは少なくとも延在している。

【0042】

磁性体膜16および15aから15cは、マンガン、亜鉛および鉄からなる群

より選ばれた少なくとも一種の元素の酸化物を含む。

【0043】

以下、図1中に示す薄膜磁性体記憶装置の周辺またはロジック部の構造について簡単に説明する。図27は、図1中に示す薄膜磁性体記憶装置の製造方法の工程を示す断面図である。図27は、薄膜磁性体記憶装置のメモリセル領域101(図1の断面図に示す領域)と、メモリセル領域101以外の周辺またはロジック部102とを示している。図27を参照して、メモリセル領域101と周辺またはロジック部102とは併設し、同一のレイヤーに位置する同一構造物は同時に製造されている。

【0044】

図27中の周辺またはロジック部102を参照して、シリコン基板1上には、周辺回路またはロジック回路を構成する電界効果トランジスタが形成されている。この電界効果トランジスタは、シリコン基板1の主表面1aに形成されたソース／ドレイン領域2eおよび2fと、シリコン基板1上に形成された図示しないゲート絶縁膜およびゲート電極3cとによって構成されている。

【0045】

シリコン基板1上には、コンタクトホール5eおよび5fが形成された層間絶縁膜4が設けられている。コンタクトホール5eおよび5fの内部には、バリアメタル膜6eおよび6fと、コンタクトプラグ7eおよび7fとが形成されている。層間絶縁膜4上には、コンタクトホール9eおよび配線用溝39eが形成された層間絶縁膜8が設けられている。コンタクトホール9eおよび配線用溝39eの内部には、周辺またはロジック部102において配線を構成するバリアメタル膜11eおよびコンタクトプラグ12eが形成されている。このように、周辺またはロジック部102においては配線を覆う磁性体膜が形成されていない。

【0046】

層間絶縁膜8上には、シリコン酸化膜からなる層間絶縁膜60が形成されている。層間絶縁膜60の頂面側には、メモリセル領域101の配線用溝36と同一レイヤーにおいて配線用溝61が形成されている。配線用溝61の内部には、バリアメタル膜62および導電体膜63が形成されている。

【0047】

図3から図28は、図1中に示す薄膜磁性体記憶装置の製造方法の工程を示す断面図である。図3から図28および図1を用いて、図1中に示す薄膜磁性体記憶装置の製造方法について説明する。以下に説明する製造工程では、層間絶縁膜の形成とデュアルダマシンプロセスとを順次繰り返すことによって、各々の層間絶縁膜に配線層を形成している。

【0048】

図3を参照して、シリコン基板1の主表面1a上に図示しないゲート絶縁膜と所定形状にパターニングされたゲート電極3aおよび3bとを順次形成する。ゲート電極3aおよび3bをマスクとして、シリコン基板1の主表面1aに不純物を注入することによって、ソース／ドレイン領域2aから2dを形成する。

【0049】

シリコン基板1の主表面1aならびにゲート電極3aおよび3bを覆うようにシリコン酸化膜を堆積することによって層間絶縁膜4を形成する。層間絶縁膜4に所定のフォトリソグラフィ工程およびエッティング工程を施すことによって、ソース／ドレイン領域2aから2dにそれぞれ達するコンタクトホール5aから5dを形成する。コンタクトホール5aから5dの内部および層間絶縁膜4の頂面上にバリアメタルおよび導電性材料を順次堆積する。その後、化学的機械研磨法(CMP; Chemical Mechanical Polishing)によって、このバリアメタルおよび導電性材料を層間絶縁膜4の頂面が露出するまで除去するとともに、コンタクトホール5aから5dにバリアメタルおよび導電性材料を残存させる。これにより、コンタクトホール5aから5dの内部にバリアメタル膜6aから6dとコンタクトプラグ7aから7dとを形成する。

【0050】

図4を参照して、層間絶縁膜4上にシリコン酸化膜を堆積することによって層間絶縁膜8を形成する。層間絶縁膜8上に所定形状の開口パターンを有するレジスト膜52を形成する。

【0051】

図5を参照して、レジスト膜52をマスクとして、層間絶縁膜8にエッティング

を行なうことによってシールド用溝22を形成する。その後、レジスト膜52を除去する。

【0052】

図6を参照して、磁性体膜16を形成するために、シールド用溝22の内壁および層間絶縁膜8の頂面を覆うように磁性体材料を堆積する。続いて、シールド用溝22を完全に充填するように絶縁体膜38となるシリコン酸化膜を堆積する。図7を参照して、化学的機械研磨法により、この磁性体材料およびシリコン酸化膜を層間絶縁膜8の頂面が露出するまで除去する。

【0053】

図8を参照して、層間絶縁膜8上に所定形状の開口パターンを有するレジスト膜53を形成する。図9を参照して、レジスト膜53をマスクとして層間絶縁膜8および絶縁体膜38にエッチングを行なうことによって、配線用溝23aおよび23bとコンタクトホール39aおよび39dとを形成する。その後、レジスト膜53を除去する。

【0054】

図10を参照して、層間絶縁膜8上にコンタクトホール39aおよび39bの底面に達する開口を有するレジスト膜54を形成する。図11を参照して、レジスト膜54をマスクとして層間絶縁膜8にエッチングを行なうことによって、コンタクトホール9aおよび9dを形成する。その後、レジスト膜54を除去する。

【0055】

図12を参照して、コンタクトホール9aおよび39a、コンタクトホール9dおよび39d、ならびに配線用溝23aおよび23bの内部および層間絶縁膜8の頂面上にバリアメタルおよび導電性材料を順次堆積する。その後、化学的機械研磨法により、このバリアメタルおよび導電性材料を層間絶縁膜8の頂面が露出するまで除去するとともに、コンタクトホール9aおよび39a、コンタクトホール9dおよび39d、ならびに配線用溝23aおよび23bにバリアメタルおよび導電性材料を残存させる。これにより、コンタクトホール9aおよび39aの内部にバリアメタル膜11aおよびコンタクトプラグ12aを、コンタクト

ホール9dおよび39dの内部にバリアメタル膜11dおよびコンタクトプラグ12dを形成する。また、配線用溝23aの内部にバリアメタル膜18aおよび導電体膜17aを、配線用溝23bの内部にバリアメタル膜18bおよび導電体膜17bを形成する。

【0056】

図14を参照して、層間絶縁膜8上に、シールド用溝22を露出させる開口を有するレジスト膜57を形成する。図15を参照して、レジスト膜57をマスクとして絶縁体膜38にエッティングを行なう。この際、シリコン酸化膜である絶縁体膜38に行なうエッティングに対して、バリアメタル膜18aおよび18bならびに導電体膜17aおよび17bはマスクとして作用する。これにより、絶縁体膜38の一部を除去するとともに、バリアメタル膜18aおよび18bならびに導電体膜17aおよび17bの下方に位置する絶縁体膜38を残存させることによって、溝42の内部には絶縁体膜38aおよび38bを形成する。その後、レジスト膜57を除去する。

【0057】

図16を参照して、溝42の内部を充填し層間絶縁膜8の頂面を覆うように磁性体材料15を堆積する。図17を参照して、化学的機械研磨法により、この磁性体材料15を層間絶縁膜8の頂面が露出するまで除去するとともに、溝42の内部に磁性体材料15を残存させることによって磁性体膜15aから15cを形成する。

【0058】

図18を参照して、層間絶縁膜8上にシリコン酸化膜を堆積することによって層間絶縁膜19を形成する。層間絶縁膜19上に、所定形状の開口パターンを有するレジスト膜58を形成する。

【0059】

図19を参照して、レジスト膜58をマスクとして層間絶縁膜19にエッティングを行なうことによって、コンタクトホール21aおよび21bを形成する。その後、レジスト膜58を除去する。

【0060】

図20を参照して、コンタクトホール21aおよび21bの内部を充填し層間絶縁膜19の頂面を覆うように導電性材料20を堆積する。図21を参照して、所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、導電性材料20をパターンニングし、ストラップ20aおよび20bを形成する。

【0061】

図22を参照して、ストラップ20aおよび20b上に所定の形状を有するTMR素子24aおよび24bを形成する。この際、メモリセル領域101以外の周辺またはロジック部102（図27を参照のこと）にTMR素子を形成する積層膜を残存させることによってTMRダミー素子を形成しても良い。

【0062】

図23を参照して、ストラップ20aおよび20b、TMR素子24aおよび24bならびにストラップ20aおよび20bから露出した層間絶縁膜19の頂面を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜25を形成する。

【0063】

図24を参照して、化学的機械研磨法により、層間絶縁膜25をTMR素子24aおよび24bの頂面が露出するまで除去する。この際、図22に示す工程において、メモリセル領域101以外の周辺またはロジック部102（図27を参照のこと）にTMRダミー素子を形成しておけば、メモリセル領域101と周辺またはロジック部102との間で層間絶縁膜25を研磨する速度をほぼ等しくすることができる。このため、メモリセル領域101と周辺またはロジック部102との間で段差が発生することを抑制できる。

【0064】

図25を参照して、層間絶縁膜25上にシリコン酸化膜を堆積することによって層間絶縁膜59を形成する。層間絶縁膜59に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって配線用溝36を形成する。図26を参照して、バリアメタル膜26および導電体膜27を形成するため、配線用溝36の内部および層間絶縁膜59の頂面上にバリアメタルおよび導電性材料を順次堆積する。

【0065】

図27中のメモリセル領域101を参照して、化学的機械研磨法により、バリアメタルおよび導電性材料を層間絶縁膜59の頂面が露出するまで除去するとともに、配線用溝36にバリアメタルおよび導電性材料を残存させる。これにより、配線用溝36の内部にビット線を構成するバリアメタル膜26および導電体膜27を形成する。

【0066】

図28を参照して、層間絶縁膜59上にシリコン酸化膜を堆積することによって層間絶縁膜28を形成する。層間絶縁膜28に所定のフォトリソグラフィ工程およびエッチング工程を施すことによって、配線用溝29aおよび29bを形成する。その後、配線用溝29aおよび29bの内部に配線を構成するバリアメタル膜30aおよび導電体膜31aとバリアメタル膜30bおよび導電体膜31bとをそれぞれ形成する。

【0067】

図1を参照して、層間絶縁膜28上にシリコン酸化膜を堆積することによって層間絶縁膜32を形成する。層間絶縁膜32に所定のフォトリソグラフィ工程およびエッチング工程を施すことによって配線用溝35を形成する。その後、配線用溝35の内部に配線を構成するバリアメタル膜33および導電体膜34を形成する。以上の工程により、図1中に示す薄膜磁性体記憶装置が完成する。

【0068】

このように構成された薄膜磁性体記憶装置によれば、導電体膜17aおよびバリアメタル膜18aから構成される第1のディジット線と導電体膜17bおよびバリアメタル膜18bから構成される第2のディジット線との間に磁性体膜15bが形成されている。また、磁性体膜16および15aから15cは第1および第2のディジット線の各々を覆っている。このため、電流を流すことによって第1および第2のディジット線を中心に描かれる磁力線が磁性体膜に吸収される。これにより、第1のディジット線に電流を流すことによって発生する磁場がTMR素子24bに与える影響を抑制することができる。同様に、第2のディジット線に電流を流すことによって発生する磁場がTMR素子24aに与える影響を抑

制することができる。

【0069】

一方で、第1のディジット線がTMR素子24aに向い合う側および第2のディジット線がTMR素子24bに向い合う側は、磁性体膜16および15aから15cによって覆われていない。このため、第1のディジット線に電流を流すことによってTMR素子24aに所定の磁場を確実に印加することができ、第2のディジット線に電流を流すことによってTMR素子24bに所定の磁場を確実に印加することができる。

【0070】

以上の理由から、TMR素子24aおよび24bをそれぞれ備えるメモリセル間で発生するクロストークを抑制するとともに、ディジット線に電流を流すことによって所定のTMR素子に磁場を印加することができる。これにより、信頼性の高い薄膜磁性体記憶装置を実現することができる。なお、隣接するメモリセル間で発生するクロストークを十分に抑制するためには、磁性体膜の厚みが50nm以上であることが好ましい。

【0071】

また、第1のディジット線と第2のディジット線との間に位置する磁性体膜15bを形成するために、図15に示す工程において第1および第2のディジット線をマスクとして利用することによって絶縁体膜38を除去し、その後、除去した部分に磁性体材料を充填している。これは、配線を磁性体材料で覆うという従来の技術とは異なり、ディジット線間に位置する層間絶縁膜を磁性体材料で構成するという新たな発想に基づくものである。

【0072】

このように第1および第2のディジット線をマスクとして利用できることから、フォトリソグラフィ工程上の制約を受けてディジット線の線幅が小さくなるという事態を回避できる。これにより、ディジット線の抵抗値が上昇することを抑制し、低電圧でも所望の磁場を発生させる電流を十分に流すことができる。また、磁性体膜を形成する際のマスクずれという問題も起り得ないため、膜厚を均一かつ十分にして磁性体膜を形成することができる。

【0073】

また、ディジット線を配置する場所全体に磁性体膜16および15aから15cを埋め込む構造を探るため、磁性体膜16および15aから15cの埋め込み深さを十分に深くすることができる。これにより、磁性体膜16および15aから15cの高さ方向の厚みを十分に大きくできる。以上の理由から、磁性体膜による磁気シールド効果を十分に得ることができる。

【0074】

また、磁性体膜16および15aから15cは、TMR素子24aおよび24bと第1および第2のディジット線とが交差する領域51が第1および第2のディジット線が延在する方向に延びる区間50において形成されている。このようにディジット線からの磁場の影響を最も受けやすい領域51に磁性体膜16および15aから15cを設けることによって、隣接するメモリセル間で発生するクロストークを効果的に抑制することができる。さらに、本実施の形態では、磁性体膜16および15aから15cが第1および第2のディジット線が延在する方向に沿って全体に設けられているため、隣接するメモリセル間で発生するクロストークをより効果的に抑制することができる。

【0075】

また、磁性体膜16および15aから15cを形成する所定の材料は、磁性体であることに加えて絶縁体としての性質をも備える。たとえば導電体としての銅は比電気抵抗が 1.55×10^5 ($\mu\Omega \cdot \text{cm}$) であり、この銅の比電気抵抗と磁性体膜16および15aから15cを形成する材料の比電気抵抗とを比較するとオーダーが3~7桁も異なる。このため、第1および第2のディジット線を流れる電流が磁性体膜15aから15cに流れ出すことを抑制できる。

【0076】

(実施の形態2)

図29は、この発明の実施の形態2における薄膜磁性体記憶装置を示す断面図である。図29を参照して、実施の形態2における薄膜磁性体記憶装置は、図1に示す実施の形態1における薄膜磁性体記憶装置と同様の形状を備えるが、ディジット線を構成する導電体膜を覆う部分の材料が異なる。以下において、実施の

形態1における薄膜磁性体記憶装置と重複する構造の説明は省略する。

【0077】

導電体膜17aおよび17bの頂面以外の周壁を覆って、たとえばシリコン窒化膜からなる絶縁体膜71aおよび71bがそれぞれ形成されている。絶縁体膜71aおよび71bの側壁に接触して形成された磁性体膜72aから72cと、シールド用溝22の内壁に沿って形成された磁性体膜73とは、コバルト(Co)－鉄(Fe)合金またはニッケル(Ni)－鉄(Fe)合金の磁性体材料から形成されている。MRAMのメモリセルにおける第1および第2のディジット線が、導電体膜17aおよび17bによって構成されている。

【0078】

図29中に示す絶縁体膜71aおよび71bは、図1中に示すバリアメタル膜18aおよび18bが形成された位置に設けられている。図29中に示す磁性体膜72a、72b、72cおよび73は、図1中に示す磁性体膜15a、15b、15cおよび16が形成された位置に設けられている。

【0079】

この発明の実施の形態2に従った薄膜磁性体記憶装置は、半導体基板としてのシリコン基板1の主表面1a上で所定の間隔を隔てて設けられ、メモリ素子として動作する第1および第2の磁性体メモリセルとしてのTMR素子24aおよび24bと、TMR素子24aと交差するように一方向に延在し、TMR素子24aに磁場を印加するための第1の配線としての導電体膜17aから構成される第1のディジット線と、TMR素子24bと交差するように第1のディジット線と平行に延在し、TMR素子24bに磁場を印加するための第2の配線としての導電体膜17bから構成される第2のディジット線と、第1のディジット線と第2のディジット線との間を充填する磁性体膜72bと、第1のディジット線と磁性体膜72bとの間および第2のディジット線と磁性体膜72bとの間の各々に介在する絶縁体膜71aおよび71bとを備える。第1および第2のディジット線は、シリコン基板1の主表面1aとTMR素子24aおよび24bとの間に設けられている。

【0080】

磁性体膜73および72aから72cは、第1および第2のディジット線がTMR素子24aおよび24bと向い合う側のみを露出させるように第1および第2のディジット線を覆っている。

【0081】

磁性体膜73および72aから72cは、第1および第2のディジット線が延在する方向に沿って延在しており、TMR素子24aおよび24bと第1および第2のディジット線とがそれぞれ交差している領域が第1および第2のディジット線が延在する方向に延びる区間において磁性体膜73および72aから72cは少なくとも延在している。

【0082】

磁性体膜73および72aから72cは、コバルト-鉄の合金およびニッケル-鉄の合金の少なくとも一方を含む。

【0083】

このように構成された薄膜磁性体記憶装置によれば、絶縁体膜71aおよび71bは導電体膜17aおよび17bにより構成される第1および第2のディジット線の保護膜としての役割を果たす。第1および第2のディジット線間は絶縁体膜71aおよび71bによって絶縁性が保たれるため、磁性体膜72aから72cをかならずしも絶縁性を示す磁性体材料で形成する必要がない。このため、磁性体膜72aから72cを形成する磁性体材料の選択の幅が広がる。そして、このように構成された薄膜磁性体記憶装置によって、実施の形態1に記載の効果と同様の効果を奏することができる。

【0084】

(実施の形態3)

図30は、この発明の実施の形態3における薄膜磁性体記憶装置を示す断面図である。図30は、薄膜磁性体記憶装置のメモリセル領域を示している。図30を参照して、実施の形態3における薄膜磁性体記憶装置は、図1中に示す実施の形態1における薄膜磁性体記憶装置と比較して、層間絶縁膜8およびビット線が形成されたレイヤーの構造が異なる。以下において重複する構造の説明は省略する。

【0085】

図30を参照して、層間絶縁膜8の頂面側には、図30の紙面に対して垂直方向に延在する配線用溝23aおよび23bが形成されている。配線用溝23aおよび23bの内部に、導電体膜17aおよびバリアメタル膜18aと、導電体膜17bおよびバリアメタル膜18bとのそれぞれから構成される第1および第2のディジット線が形成されている。実施の形態3における薄膜磁性体記憶装置では、第1および第2のディジット線を覆う磁性体膜が設けられていない。

【0086】

図31は、図30中のXXXI-XXXI線上に沿った薄膜磁性体記憶装置を示す断面図である。図31を参照して、TMR素子24aを磁性体メモリセルとして構成されているMRAMのメモリセルに隣接して、TMR素子24mを磁性体メモリセルとして構成されている別のMRAMのメモリセルが設けられている。

【0087】

より詳細に説明すると、この別のMRAMのメモリセルは、シリコン基板1上に形成された電界効果トランジスタと、電界効果トランジスタに電気的に接続されたストラップ20mと、ストラップ20mの頂面に接触して形成されたTMR素子24mと、TMR素子24mの下方で延在する導電体膜17aおよびバリアメタル膜18aからなる第1のディジット線（図30を参照のこと）と、TMR素子24mの上方で延在する導電体膜27mおよびバリアメタル膜26mからなる第2のビット線とによって構成されている。以後、導電体膜27およびバリアメタル膜26によって構成されたビット線を第1のビット線と呼ぶこととする。

【0088】

層間絶縁膜4には、ソース／ドレイン領域2aに達するコンタクトホール5mが、層間絶縁膜8には、層間絶縁膜4の頂面に達するコンタクトホール9mとコンタクトホール9mに連通するコンタクトホール39mが形成されている。これらのコンタクトホールの内部に形成されたバリアメタル膜6mおよび11mとコンタクトプラグ7mおよび12mとによって、電界効果トランジスタとストラップ20mとが電気的に接続されている。

【0089】

層間絶縁膜25上に形成された層間絶縁膜59には、層間絶縁膜59およびバリアメタル膜26によって側壁が規定され、層間絶縁膜25によって底面が規定されたシールド用溝82aが形成されている。層間絶縁膜59には、バリアメタル膜26および26mによって側壁が規定され、層間絶縁膜25によって底面が規定されたシールド用溝82bが形成されている。層間絶縁膜59には、層間絶縁膜59およびバリアメタル膜26mによって側壁が規定され、層間絶縁膜25によって底面が規定されたシールド用溝82cが形成されている。

【0090】

シールド用溝82aから82cの内部を充填し、第1および第2のピット線ならびに層間絶縁膜59の頂面を覆うように磁性体膜81が形成されている。磁性体膜81は、マンガン、亜鉛、または鉄の酸化物からなる磁性体材料によって形成されている。

【0091】

第1および第2のピット線が向い合う側の第1および第2のピット線の側壁は、磁性体膜81に接触している。磁性体膜81は、第1のピット線から第2のピット線までの間を充填している。シリコン基板1の主表面1aから磁性体膜81の頂面までの距離は、シリコン基板1の主表面1aから第1および第2のピット線の頂面までの距離よりも大きい。第1および第2のピット線の底面がTMR素子24aおよび24mに接触している。磁性体膜81は、第1および第2のピット線の底面のみを露出させるように第1および第2のピット線を覆っている。

【0092】

層間絶縁膜32には、配線用溝35に並列して配線用溝35mが形成されている。配線用溝35mの内部には、配線となるバリアメタル膜33mおよび導電体膜34が形成されている。

【0093】

この発明の実施の形態3に従った薄膜磁性体記憶装置は、第1および第2の配線としての導電体膜27およびバリアメタル膜26によって構成された第1のピット線と、導電体膜27mおよびバリアメタル膜26mによって構成された第2

のピット線とは、シリコン基板1の主表面1aと第1および第2のピット線との間に第1および第2の磁性体メモリセルとしてのTMR素子24aおよび24mが位置するように設けられている。

【0094】

図32から図35は、図31中に示す薄膜磁性体記憶装置の製造方法の工程を示す断面図である。図32から図35および図31を用いて、図31中に示す薄膜磁性体記憶装置の製造方法であって、第1および第2のピット線を形成した工程の後に続く製造方法について説明する。

【0095】

図32を参照して、化学的機械研磨法により、バリアメタルおよび導電性材料を層間絶縁膜59の頂面が露出するまで除去するとともに、配線用溝36および36mにバリアメタルおよび導電性材料を残存させる。これにより、配線用溝36および36mの内部に第1のピット線を構成するバリアメタル膜26および導電体膜27と、第2のピット線を構成するバリアメタル膜26mおよび導電体膜27mとをそれぞれ形成する。

【0096】

図33を参照して、層間絶縁膜59上に、第1および第2のピット線の頂面と、第1および第2のピット線の両側に位置する層間絶縁膜25の頂面と、さらに第1および第2のピット線の間に位置する層間絶縁膜25の頂面とを露出させる開口を有するレジスト膜91を形成する。

【0097】

図34を参照して、レジスト膜91をマスクとして層間絶縁膜59にエッティングを行なうことによって、シールド用溝82aから82cを形成する。この際、シリコン酸化膜である層間絶縁膜59に行なうエッティングに対して、導電体膜27および27mならびにバリアメタル膜26および26mはマスクとして作用する。その後、レジスト膜91を除去する。

【0098】

図35を参照して、シールド用溝82aから82cの内部を充填し層間絶縁膜59ならびに第1および第2のピット線の頂面を覆うように磁性体材料を堆積す

ることによって磁性体膜81を形成する。

【0099】

図31を参照して、層間絶縁膜の形成とデュアルダマシンプロセスとを順次繰り返すことによって、バリアメタル膜30aおよび導電体膜31aからなる配線が設けられた層間絶縁膜28と、バリアメタル膜33および33mならびに導電体膜34および34mからなる配線が設けられた層間絶縁膜32とを形成する。

【0100】

このように構成された薄膜磁性体記憶装置によれば、第1および第2のビット線に電流を流すことによって発生するクロストークに関して、実施の形態1に記載の効果と同様の効果を奏することができる。これにより、信頼性の高い薄膜磁性体記憶装置を実現することができる。なお、実施の形態1と同様に、隣接するメモリセル間で発生するクロストークを十分に抑制するためには、磁性体膜の厚みが50nm以上であることが好ましい。

【0101】

(実施の形態4)

図36は、この発明の実施の形態4における薄膜磁性体記憶装置を示す断面図である。図36を参照して、実施の形態4における薄膜磁性体記憶装置は、図31中に示す実施の形態3における薄膜磁性体記憶装置とほぼ同様の形状を備えるが、ビット線である導電体膜を覆う部分の構造が異なる。以下において、実施の形態3における薄膜磁性体記憶装置と重複する構造の説明は省略する。

【0102】

TMR素子24aおよび24mの頂面に接触して導電体膜27および27mが形成されている。導電体膜27および27mは、第1および第2のビット線を構成する。導電体膜27および27mの側壁および頂面を覆うように、たとえばシリコン窒化膜からなる絶縁体膜94および94mが形成されている。

【0103】

層間絶縁膜25上に形成された層間絶縁膜59には、層間絶縁膜59および絶縁体膜94によって側壁が規定され、層間絶縁膜25によって底面が規定されたシールド用溝82aが形成されている。層間絶縁膜59には、絶縁体膜94およ

び94mによって側壁が規定され、層間絶縁膜25によって底面が規定されたシールド用溝82bが形成されている。層間絶縁膜59には、層間絶縁膜59および絶縁体膜94mによって側壁が規定され、層間絶縁膜25によって底面が規定されたシールド用溝82cが形成されている。

【0104】

シールド用溝82aから82cの内部を充填し、層間絶縁膜59ならびに絶縁体膜94および94mの頂面を覆うように磁性体膜95が形成されている。磁性体膜95は、コバルト一鉄の合金またはニッケル一鉄の合金の磁性体材料から形成されている。

【0105】

この発明の実施の形態4に従った薄膜磁性体記憶装置では、磁性体膜95は、コバルト一鉄の合金およびニッケル一鉄の合金の少なくとも一方を含む。

【0106】

このように構成された薄膜磁性体記憶装置によれば、絶縁体膜94および94mは導電体膜27および27mにより構成される第1および第2のビット線の保護膜としての役割を果たす。第1および第2のビット線間は絶縁体膜94および94mによって絶縁性が保たれるため、磁性体膜95をかならずしも絶縁性を示す磁性体材料で形成する必要がない。このため、磁性体膜95を形成する磁性体材料の選択の幅が広がる。そして、このように構成された薄膜磁性体記憶装置によって、実施の形態3に記載の効果と同様の効果を奏することができる。

【0107】

なお、実施の形態1および2においてデジット線の間に磁性体膜を形成した構造と、実施の形態3および4においてビット線の間に磁性体膜を形成した構造とを組合せた薄膜磁性体記憶装置としても良い。

【0108】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0109】

【発明の効果】

以上説明したように、この発明に従えば、隣接するメモリセル間で発生するクロストークを抑制するとともに、配線抵抗が増大することのない薄膜磁性体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における薄膜磁性体記憶装置を示す断面図である。

【図2】 図1中の薄膜磁性体記憶装置を示す平面図である。

【図3】 図1中に示す薄膜磁性体記憶装置の製造方法の第1工程を示す断面図である。

【図4】 図1中に示す薄膜磁性体記憶装置の製造方法の第2工程を示す断面図である。

【図5】 図1中に示す薄膜磁性体記憶装置の製造方法の第3工程を示す断面図である。

【図6】 図1中に示す薄膜磁性体記憶装置の製造方法の第4工程を示す断面図である。

【図7】 図1中に示す薄膜磁性体記憶装置の製造方法の第5工程を示す断面図である。

【図8】 図1中に示す薄膜磁性体記憶装置の製造方法の第6工程を示す断面図である。

【図9】 図1中に示す薄膜磁性体記憶装置の製造方法の第7工程を示す断面図である。

【図10】 図1中に示す薄膜磁性体記憶装置の製造方法の第8工程を示す断面図である。

【図11】 図1中に示す薄膜磁性体記憶装置の製造方法の第9工程を示す断面図である。

【図12】 図1中に示す薄膜磁性体記憶装置の製造方法の第10工程を示す断面図である。

【図13】 図1中に示す薄膜磁性体記憶装置の製造方法の第11工程を示す断面図である。

【図14】 図1中に示す薄膜磁性体記憶装置の製造方法の第12工程を示す断面図である。

【図15】 図1中に示す薄膜磁性体記憶装置の製造方法の第13工程を示す断面図である。

【図16】 図1中に示す薄膜磁性体記憶装置の製造方法の第14工程を示す断面図である。

【図17】 図1中に示す薄膜磁性体記憶装置の製造方法の第15工程を示す断面図である。

【図18】 図1中に示す薄膜磁性体記憶装置の製造方法の第16工程を示す断面図である。

【図19】 図1中に示す薄膜磁性体記憶装置の製造方法の第17工程を示す断面図である。

【図20】 図1中に示す薄膜磁性体記憶装置の製造方法の第18工程を示す断面図である。

【図21】 図1中に示す薄膜磁性体記憶装置の製造方法の第19工程を示す断面図である。

【図22】 図1中に示す薄膜磁性体記憶装置の製造方法の第20工程を示す断面図である。

【図23】 図1中に示す薄膜磁性体記憶装置の製造方法の第21工程を示す断面図である。

【図24】 図1中に示す薄膜磁性体記憶装置の製造方法の第22工程を示す断面図である。

【図25】 図1中に示す薄膜磁性体記憶装置の製造方法の第23工程を示す断面図である。

【図26】 図1中に示す薄膜磁性体記憶装置の製造方法の第24工程を示す断面図である。

【図27】 図1中に示す薄膜磁性体記憶装置の製造方法の第25工程を示

す断面図である。

【図28】 図1中に示す薄膜磁性体記憶装置の製造方法の第26工程を示す断面図である。

【図29】 この発明の実施の形態2における薄膜磁性体記憶装置を示す断面図である。

【図30】 この発明の実施の形態3における薄膜磁性体記憶装置を示す断面図である。

【図31】 図30中のXXXI-XXXI線上に沿った薄膜磁性体記憶装置を示す断面図である。

【図32】 図31中に示す薄膜磁性体記憶装置の製造方法の第1工程を示す断面図である。

【図33】 図31中に示す薄膜磁性体記憶装置の製造方法の第2工程を示す断面図である。

【図34】 図31中に示す薄膜磁性体記憶装置の製造方法の第3工程を示す断面図である。

【図35】 図31中に示す薄膜磁性体記憶装置の製造方法の第4工程を示す断面図である。

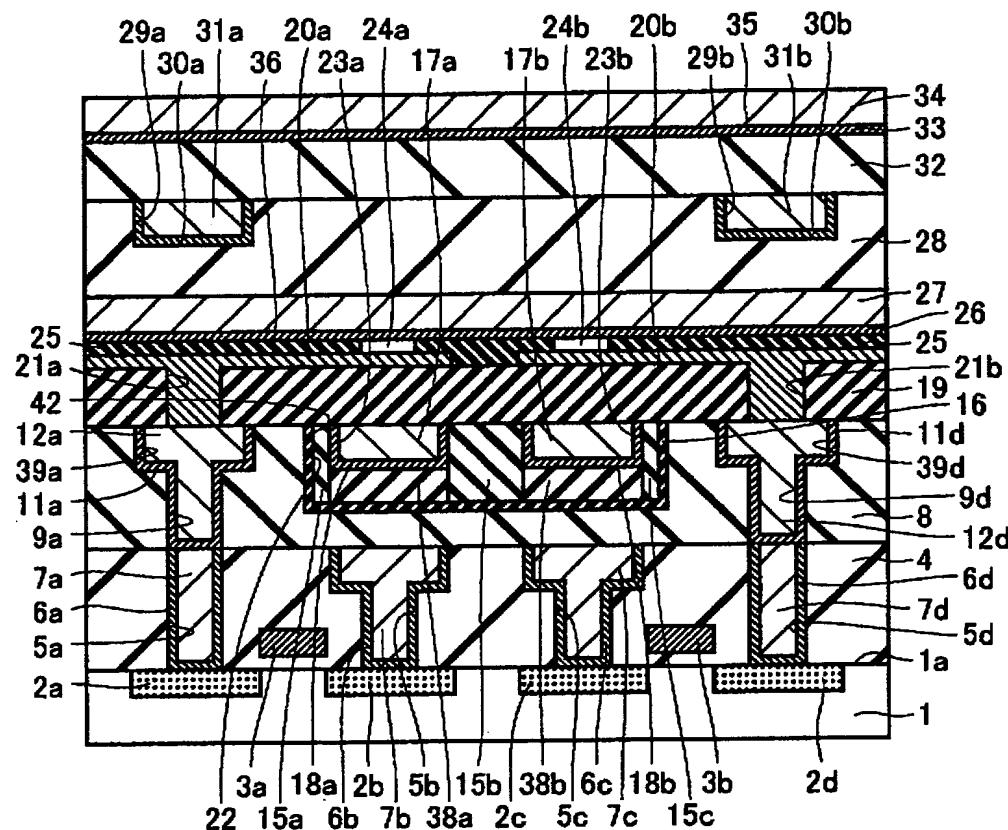
【図36】 この発明の実施の形態4における薄膜磁性体記憶装置を示す断面図である。

【符号の説明】

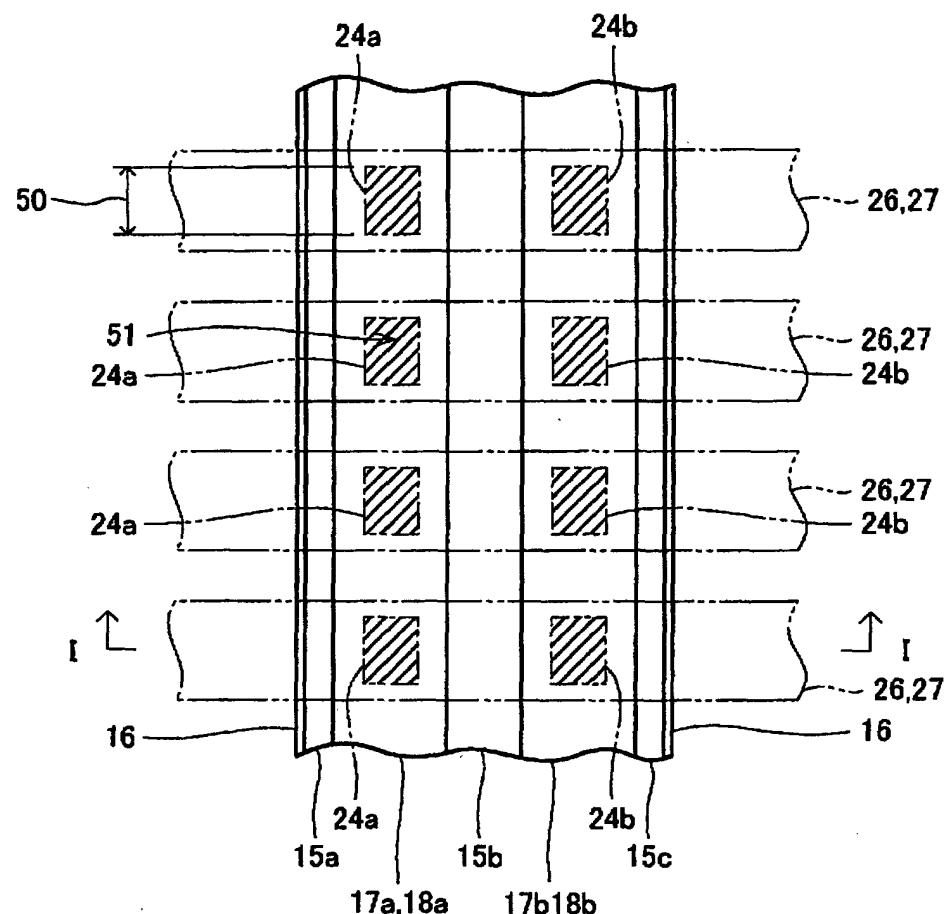
1 シリコン基板、1a 主表面、15a, 15b, 15b, 16, 71a, 72b, 72c, 73, 81, 95 磁性体膜、17a, 17b, 27, 27m 導電体膜、18a, 18b, 26, 26m バリアメタル膜、24a, 24b, 24m TMR素子、50 区間、51 領域、71a, 71b, 94, 94m 絶縁体膜。

【書類名】 図面

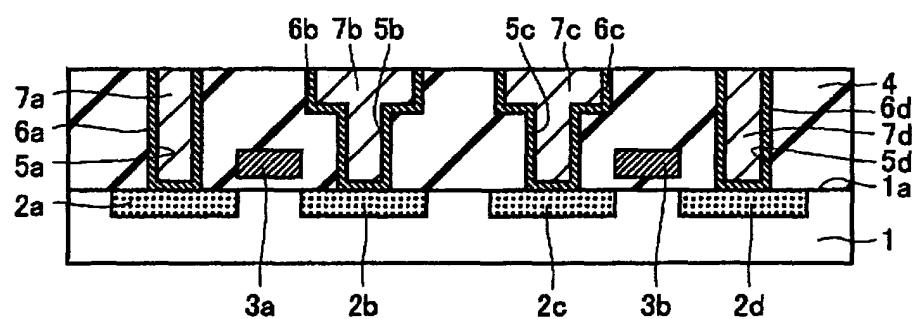
【図1】



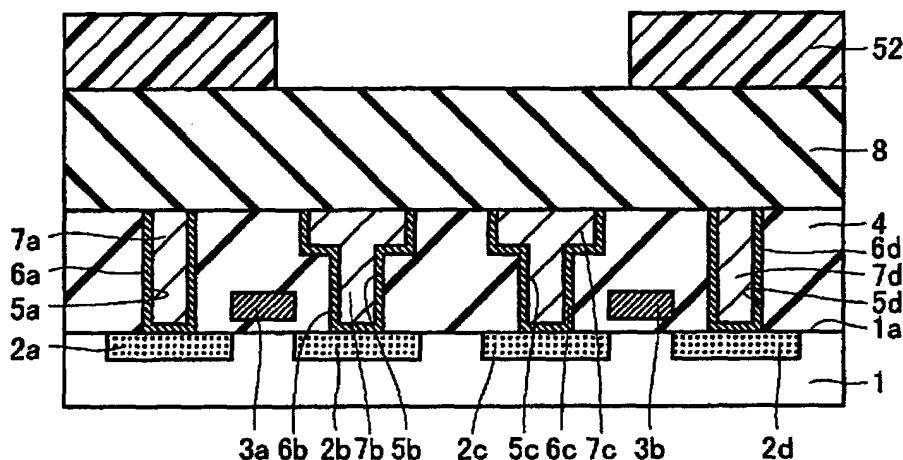
【図2】



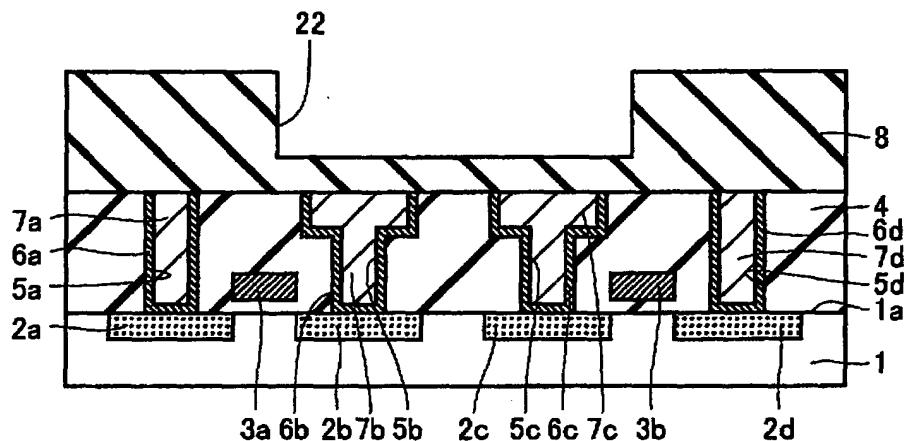
【図3】



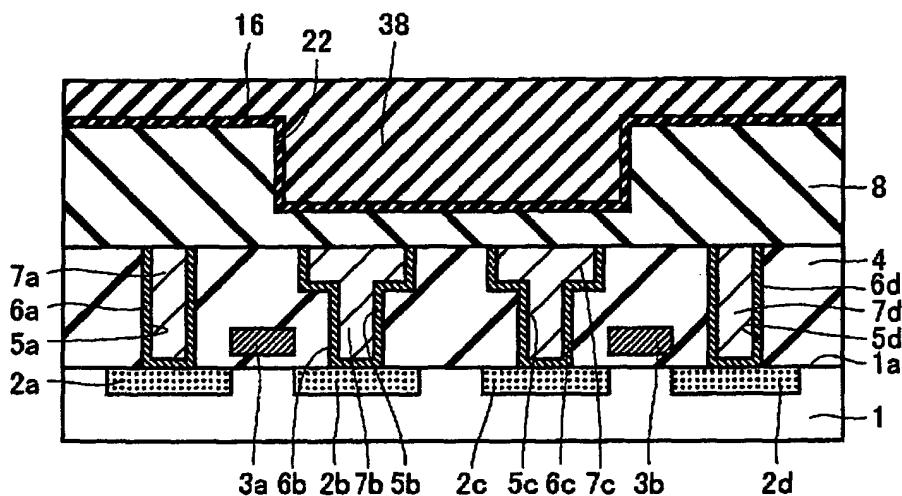
【図4】



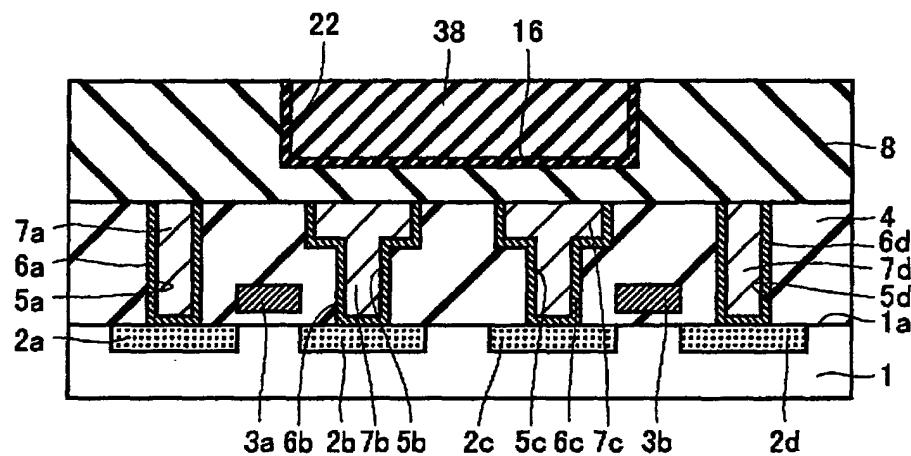
【図5】



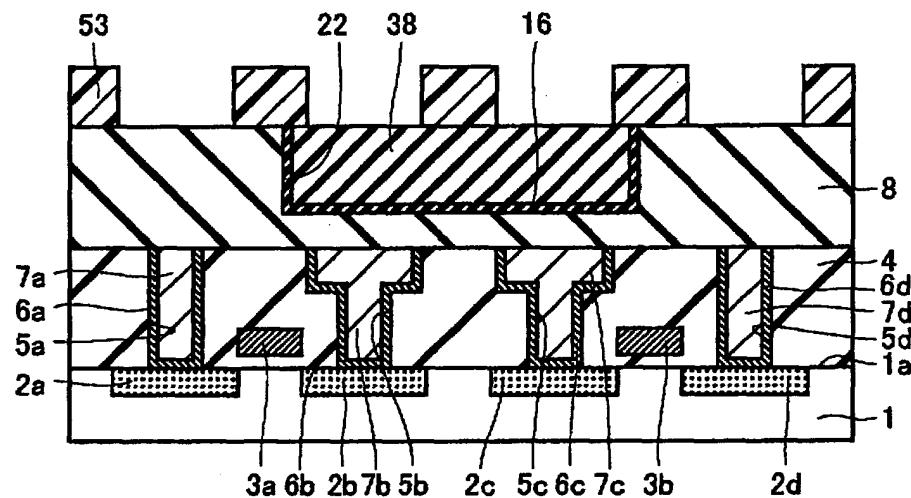
【図6】



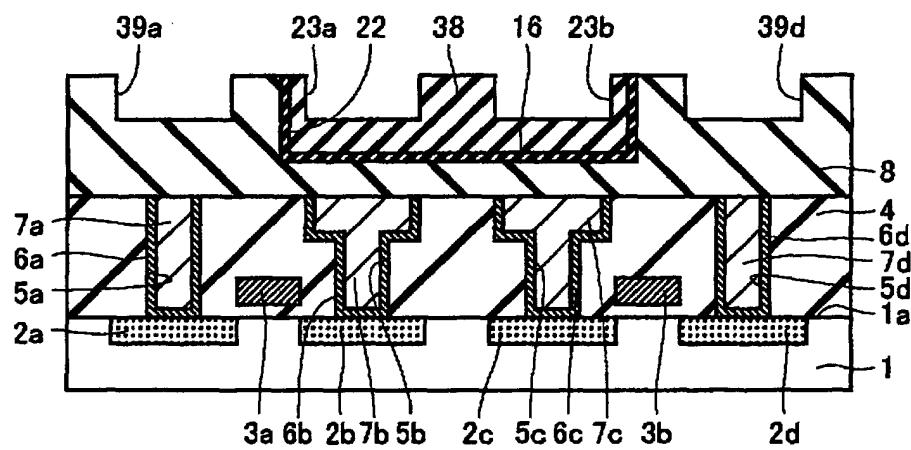
【図7】



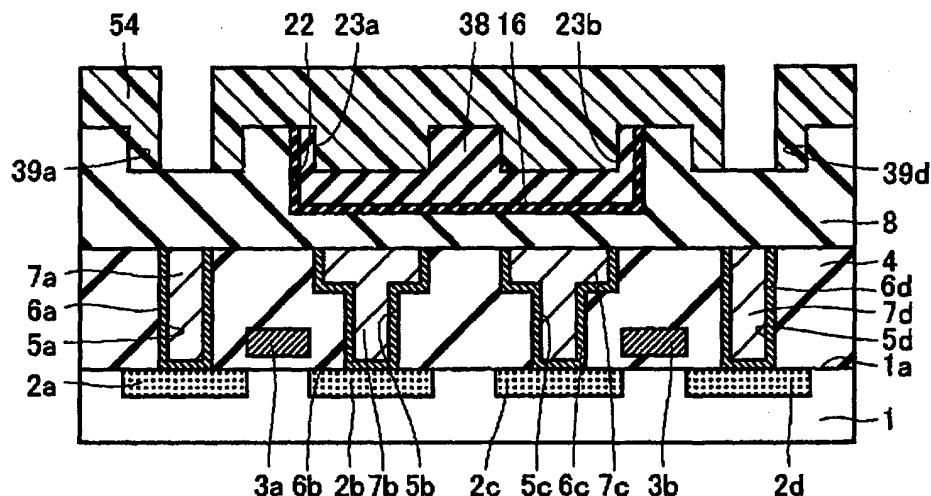
【図8】



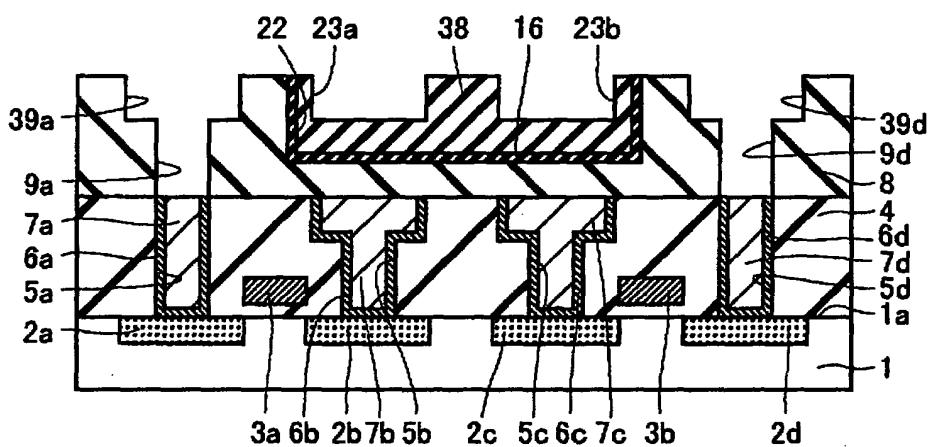
【図9】



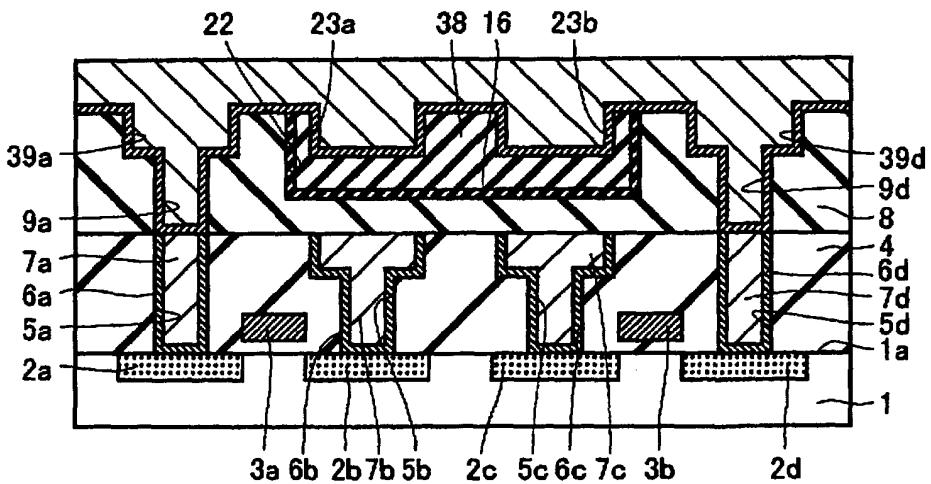
【図10】



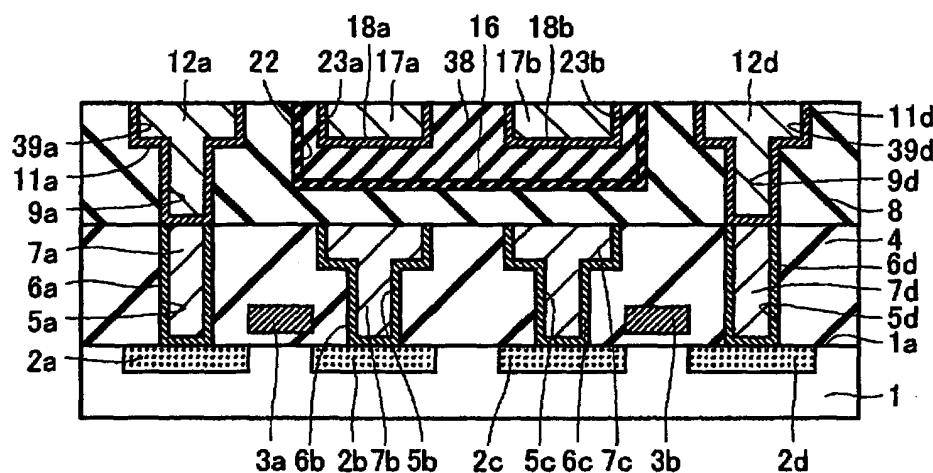
【図11】



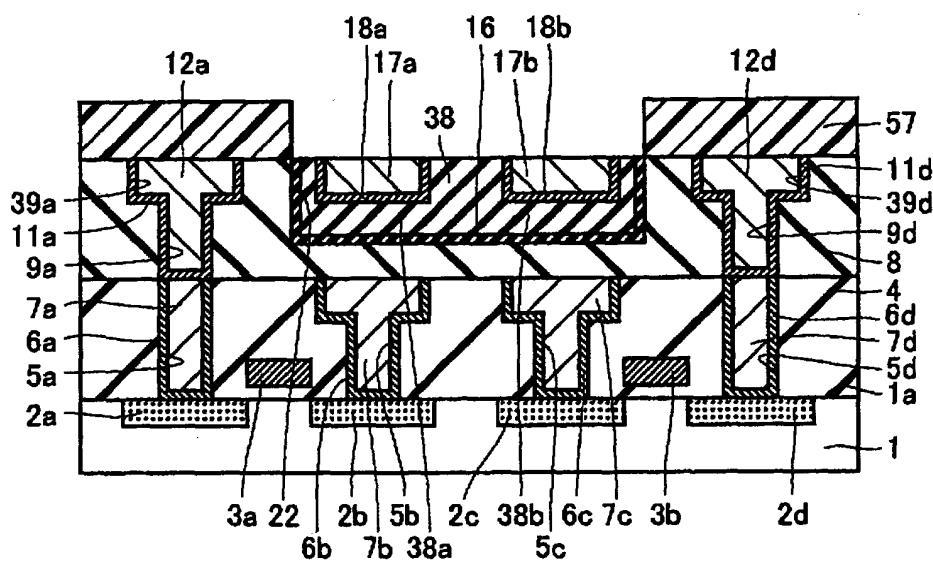
【図12】



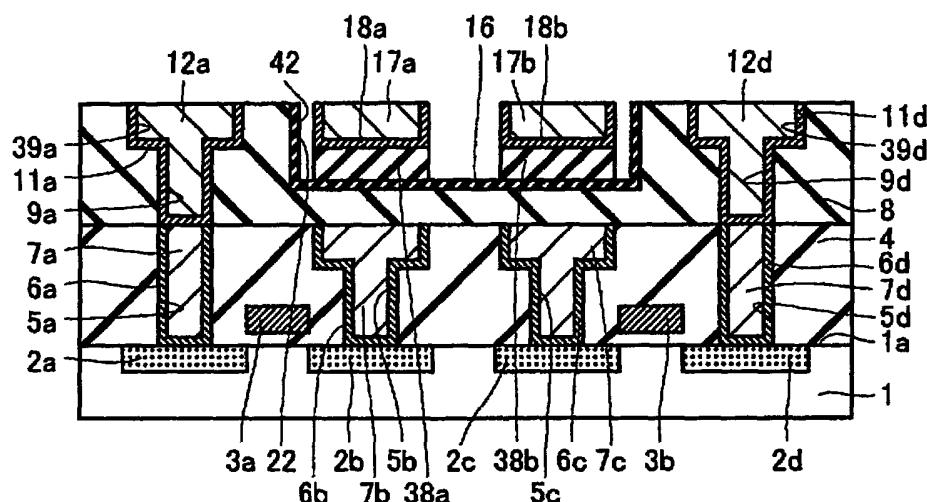
【図13】



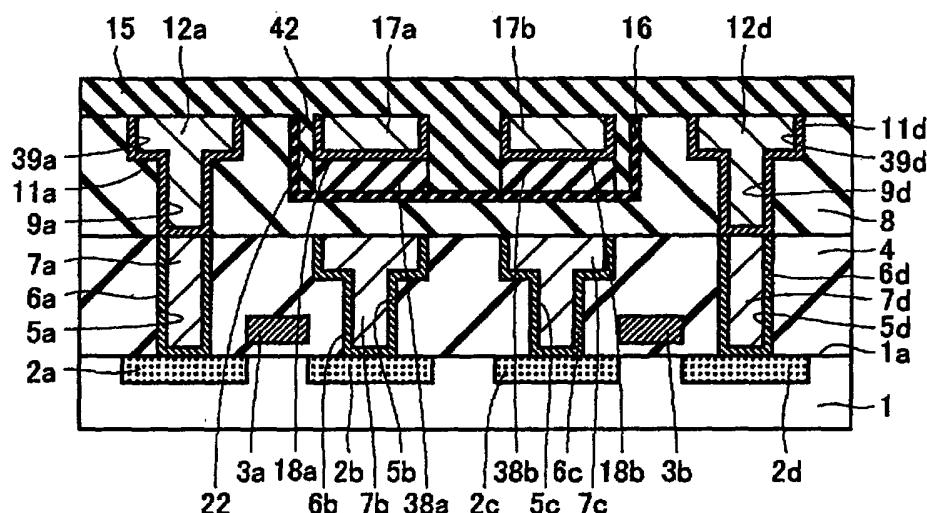
【図14】



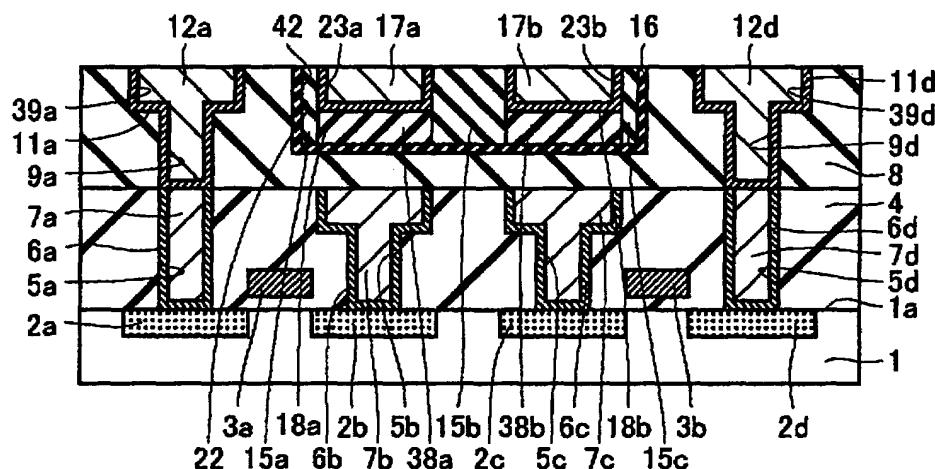
【図15】



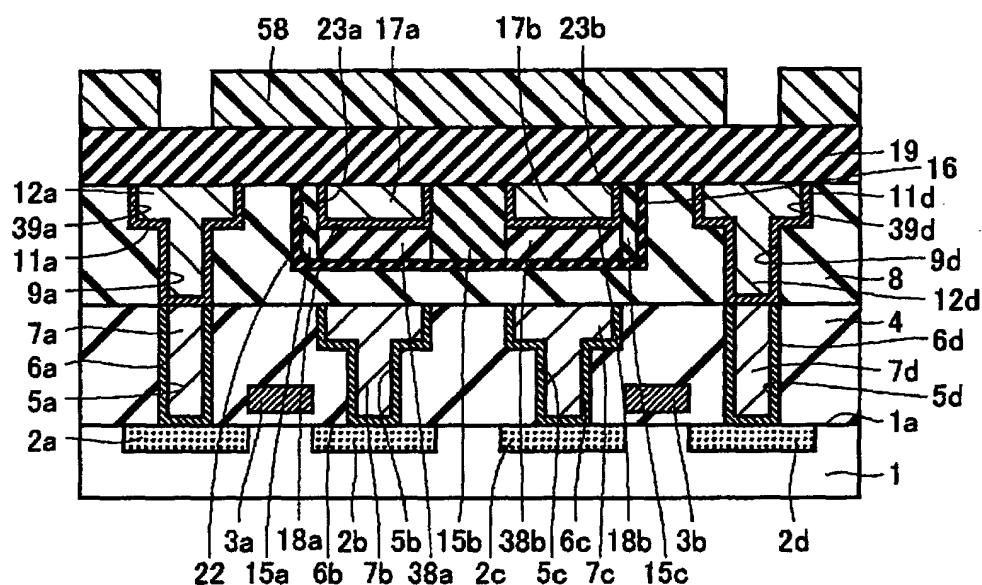
【図16】



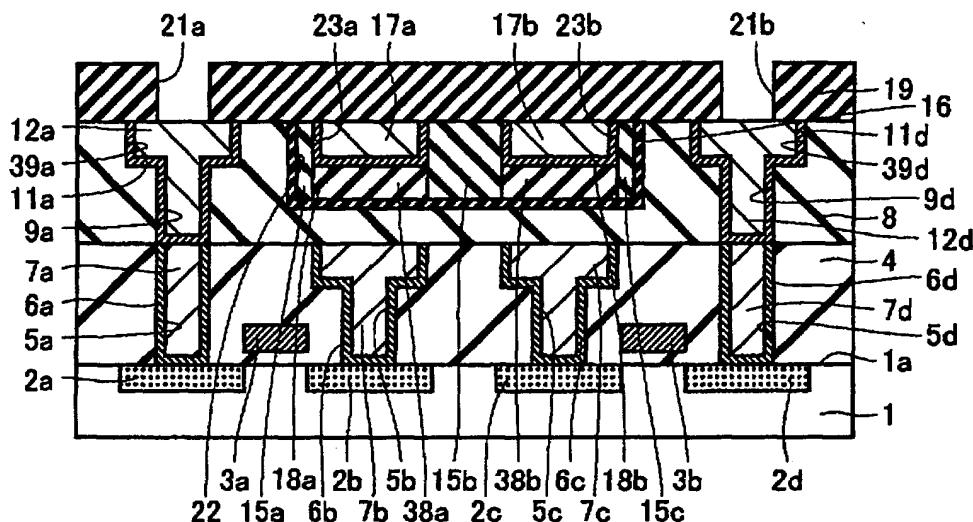
【図17】



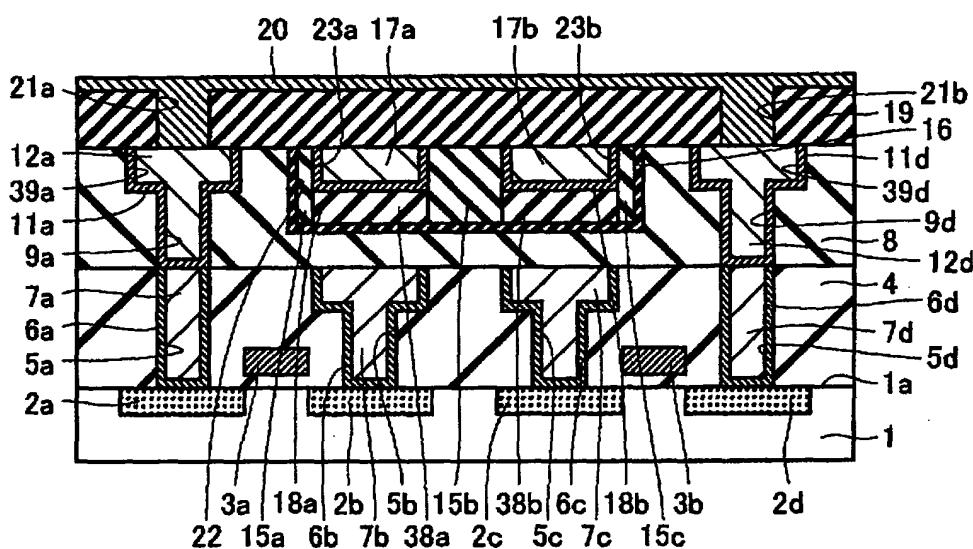
【図18】



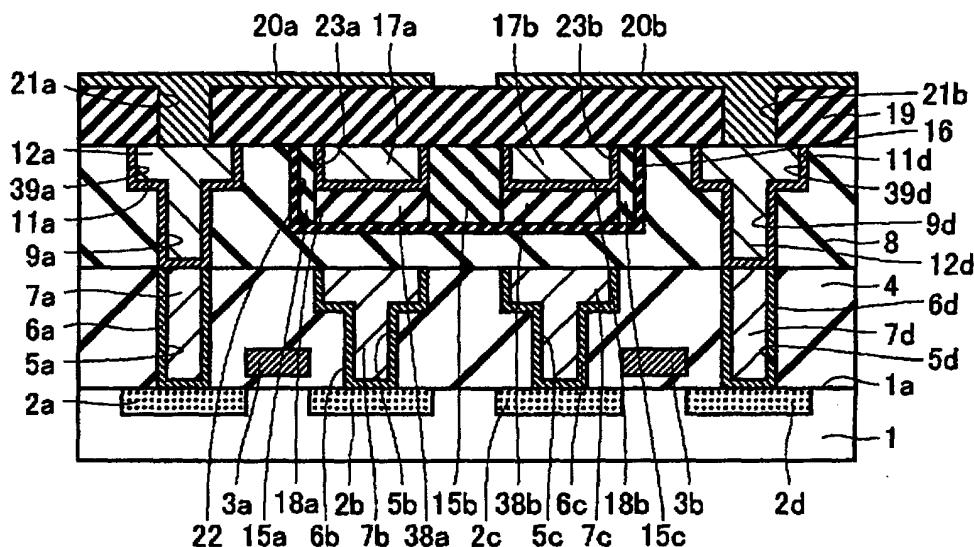
【図19】



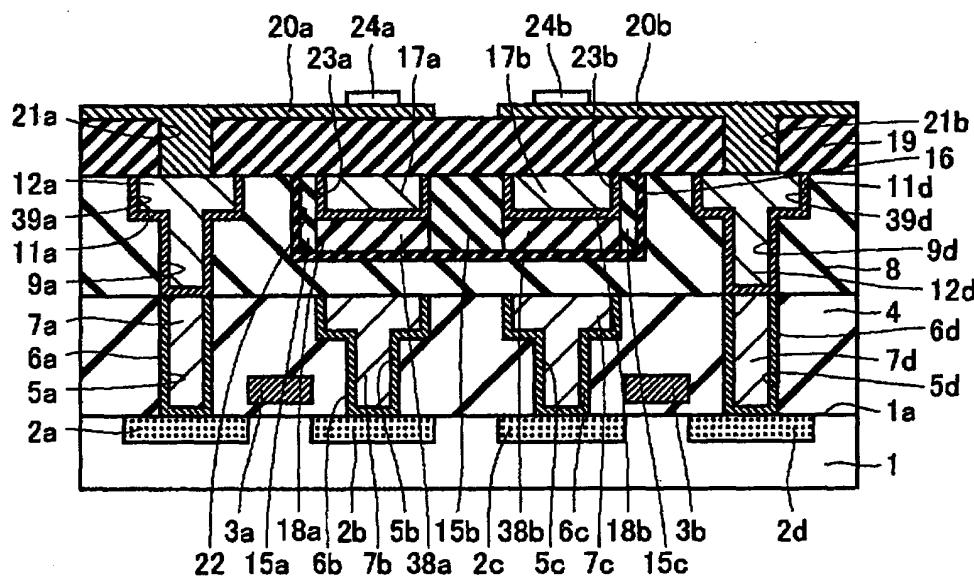
【図20】



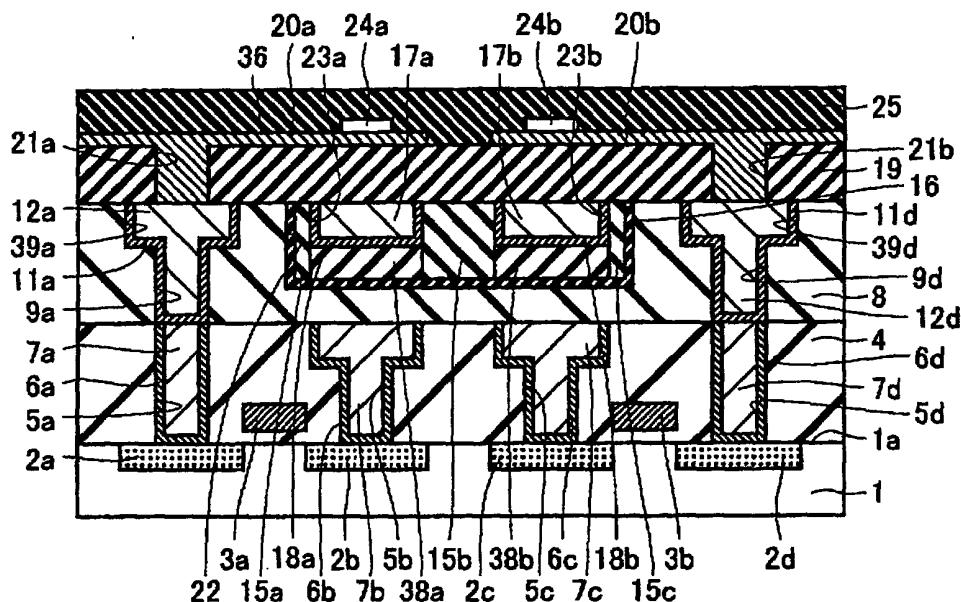
【図21】



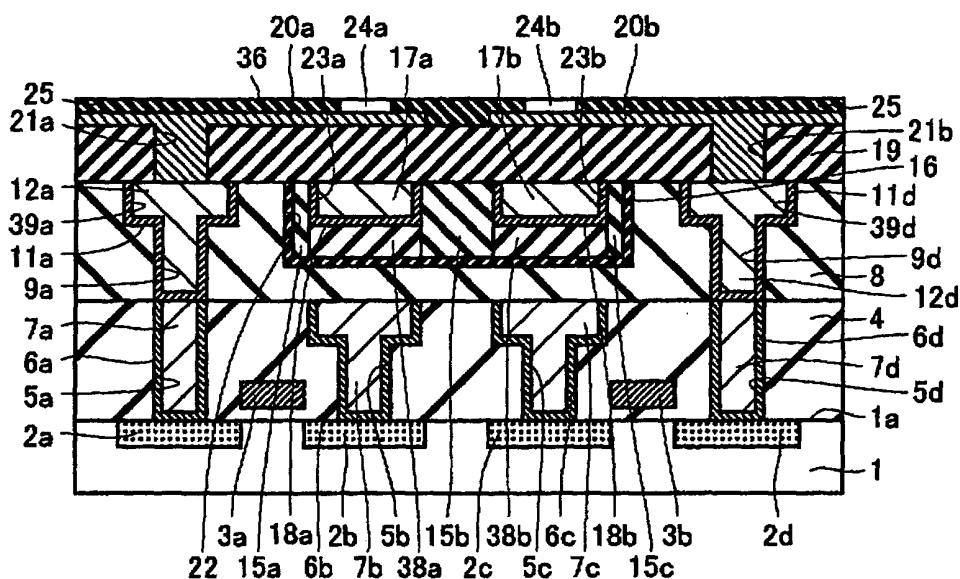
【図22】



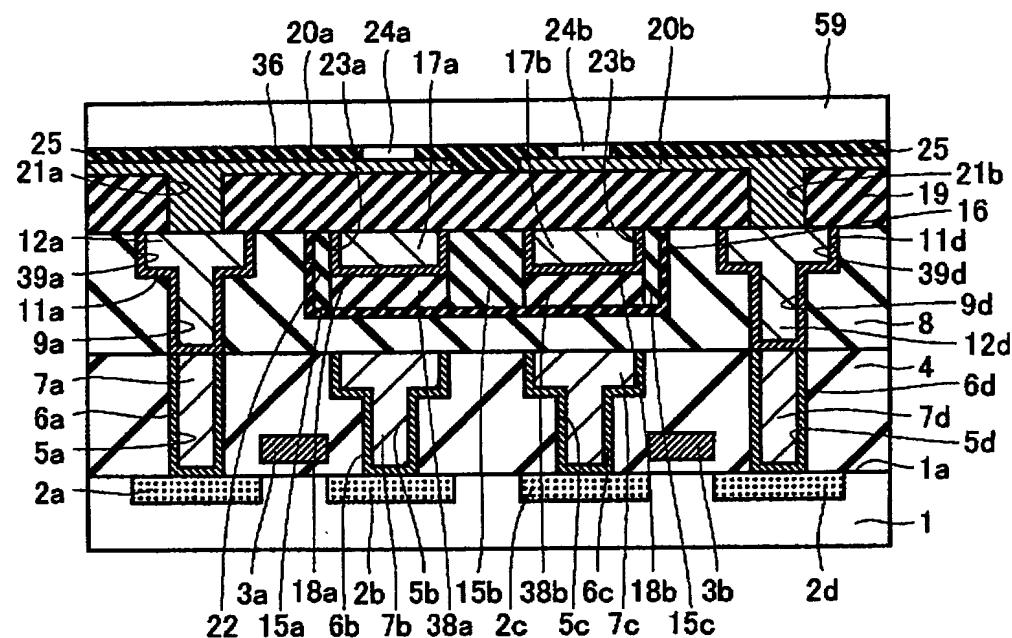
【図23】



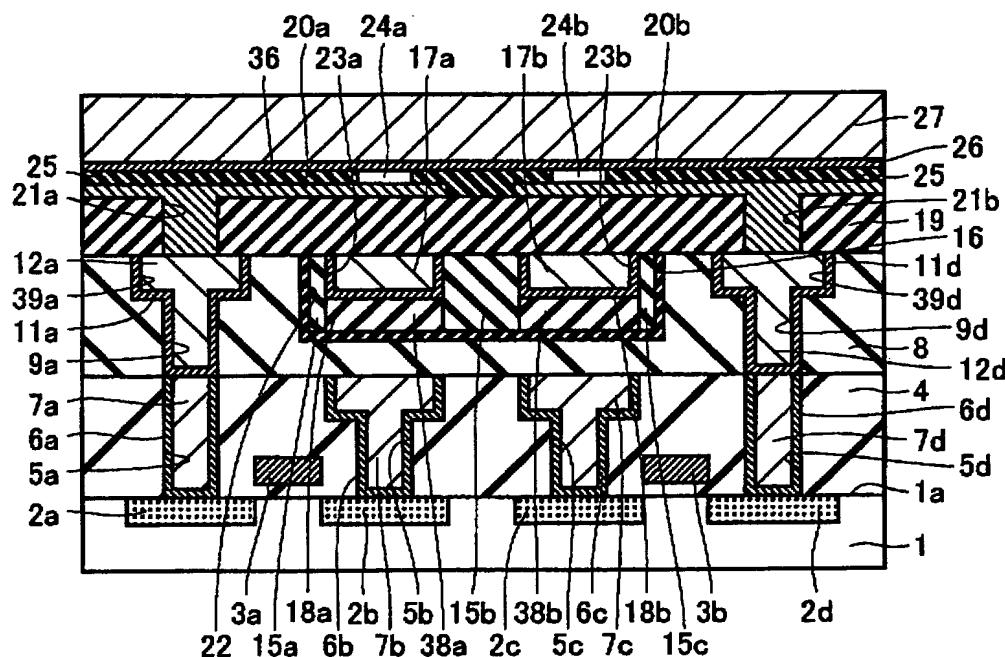
【図24】



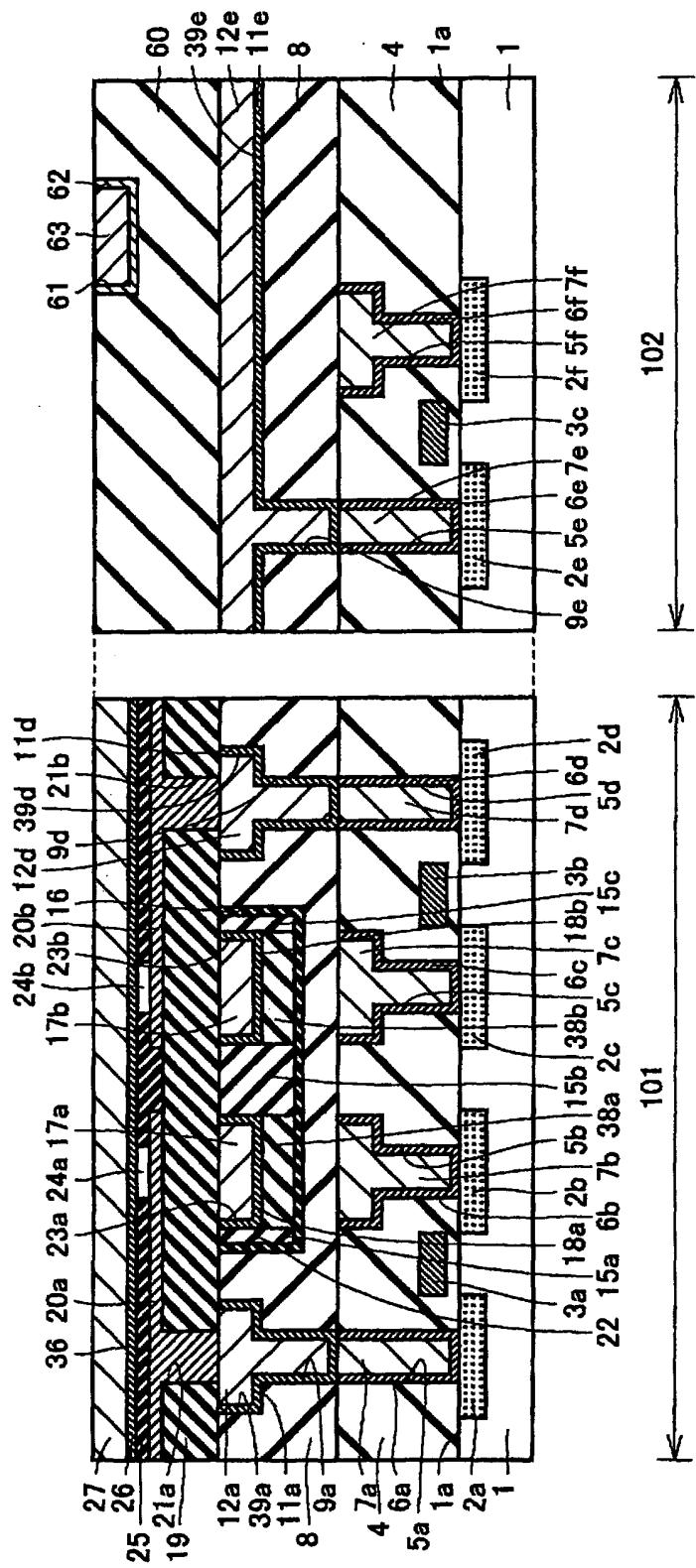
【図25】



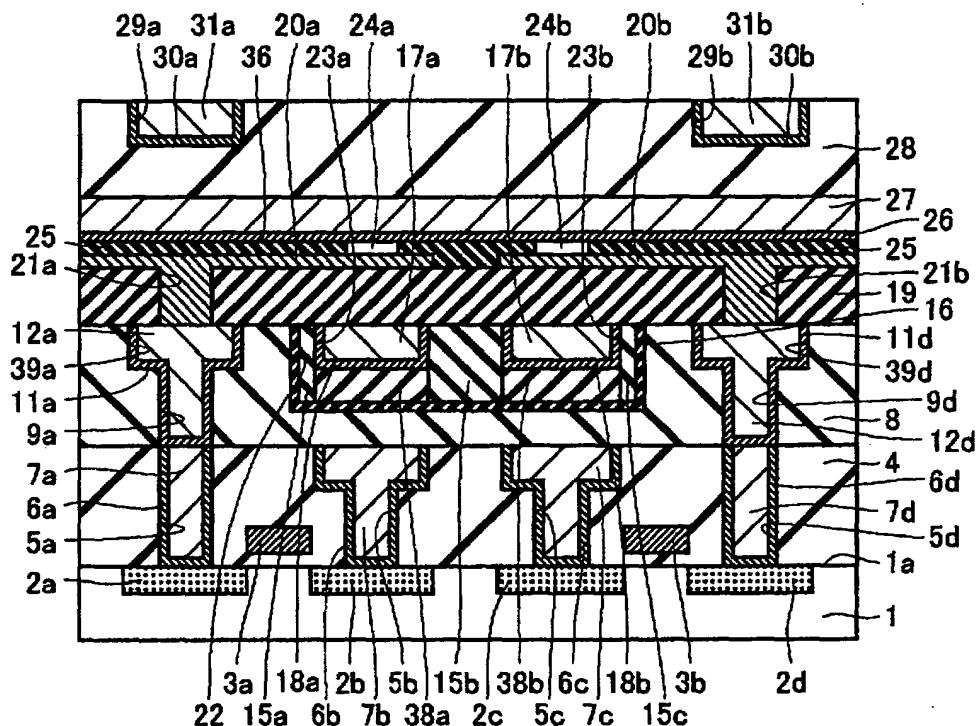
【図26】



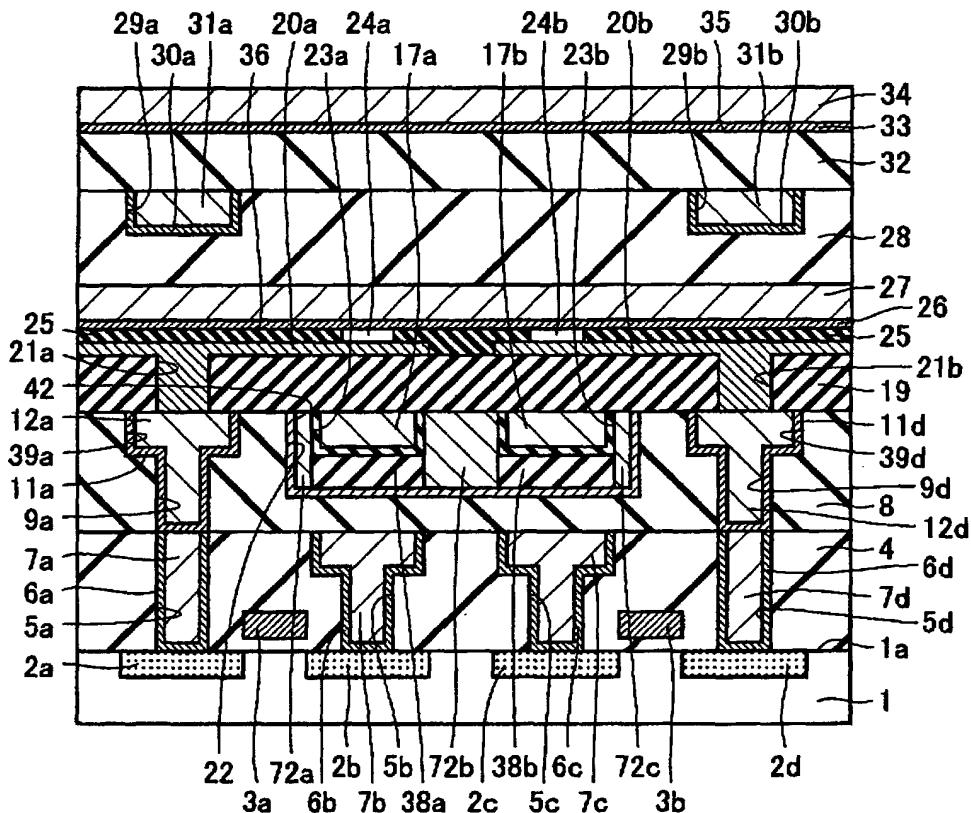
【図27】



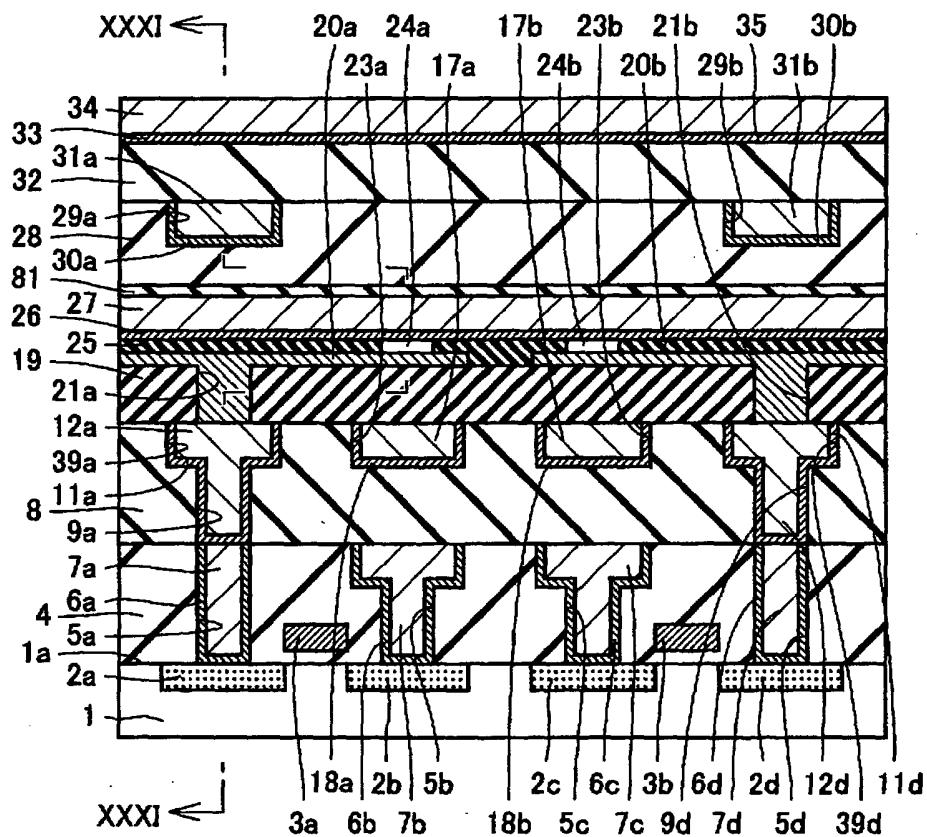
【図28】



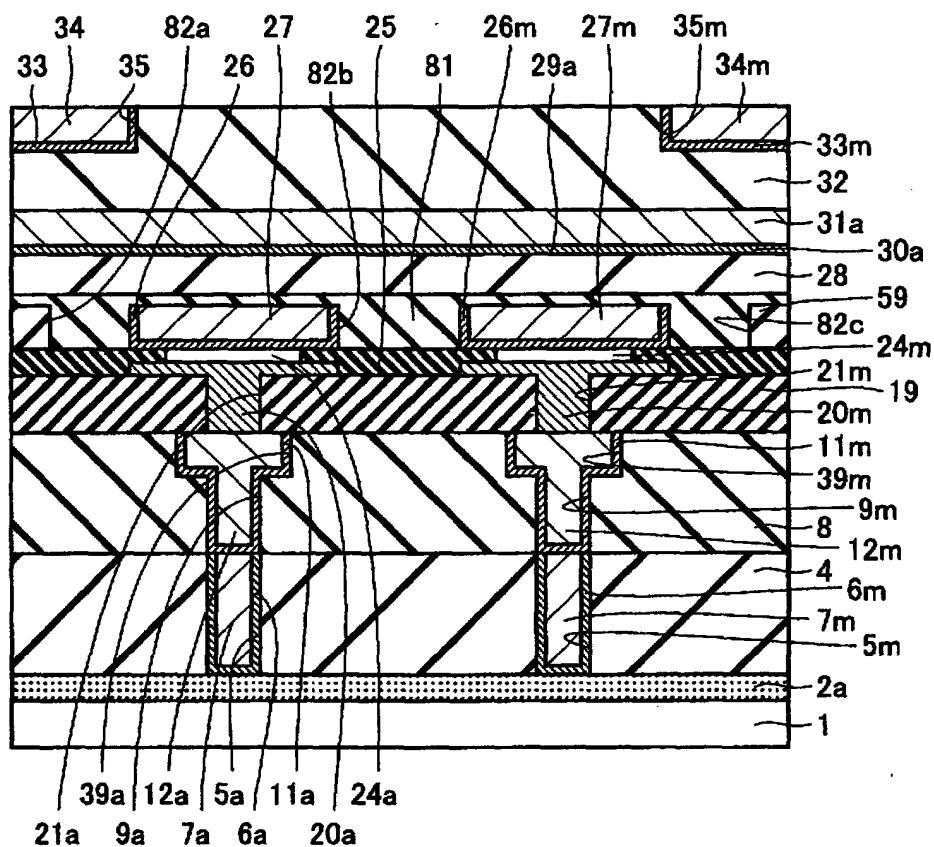
【図29】



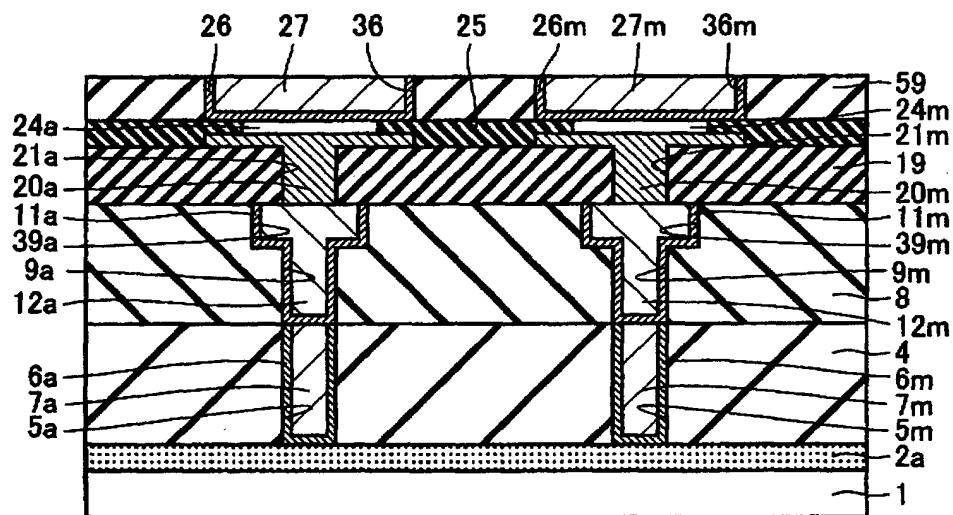
【図30】



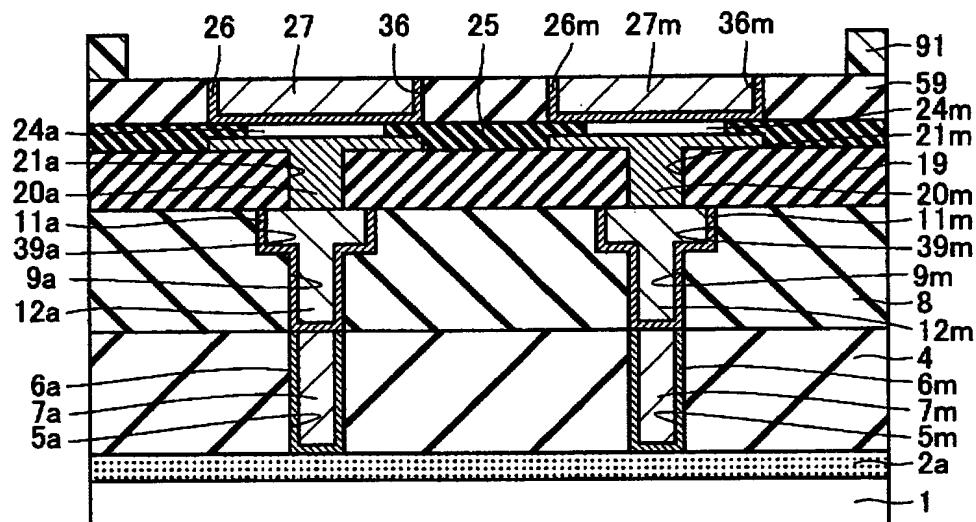
【図31】



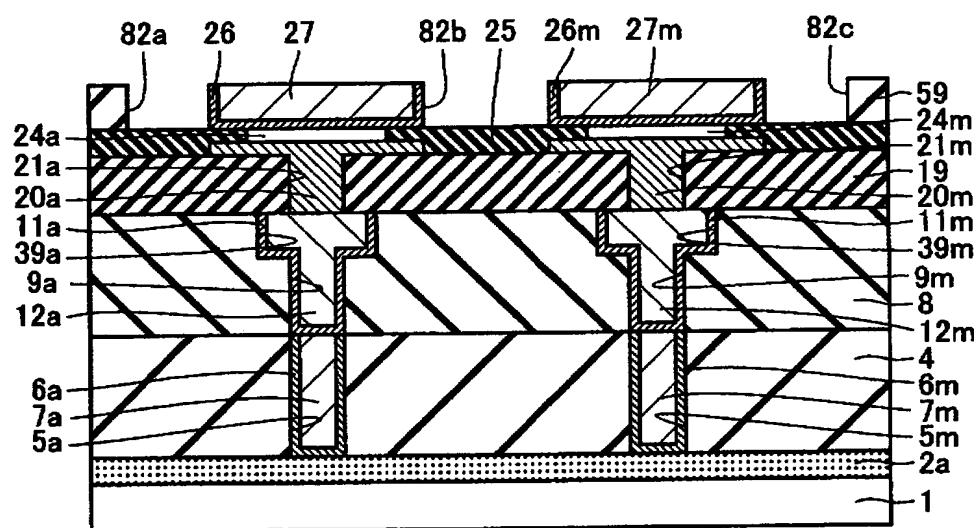
【図32】



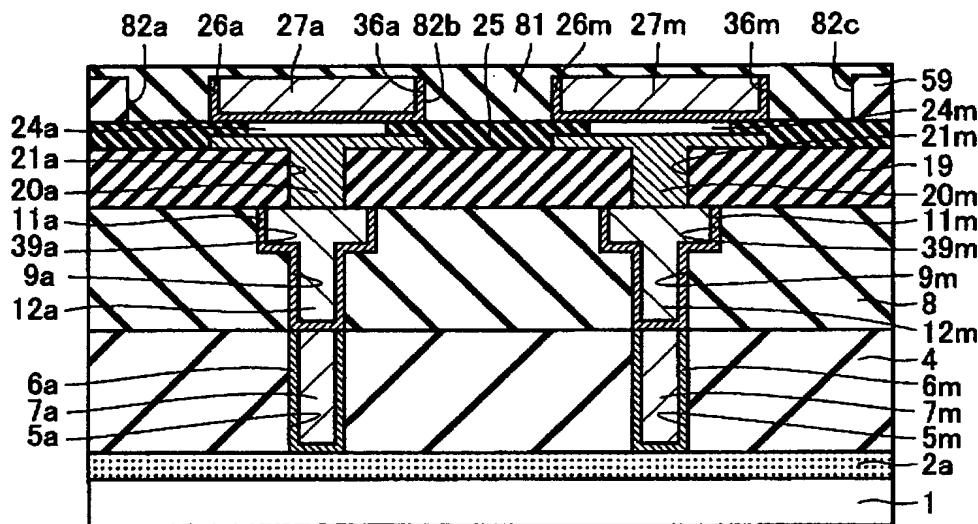
【図33】



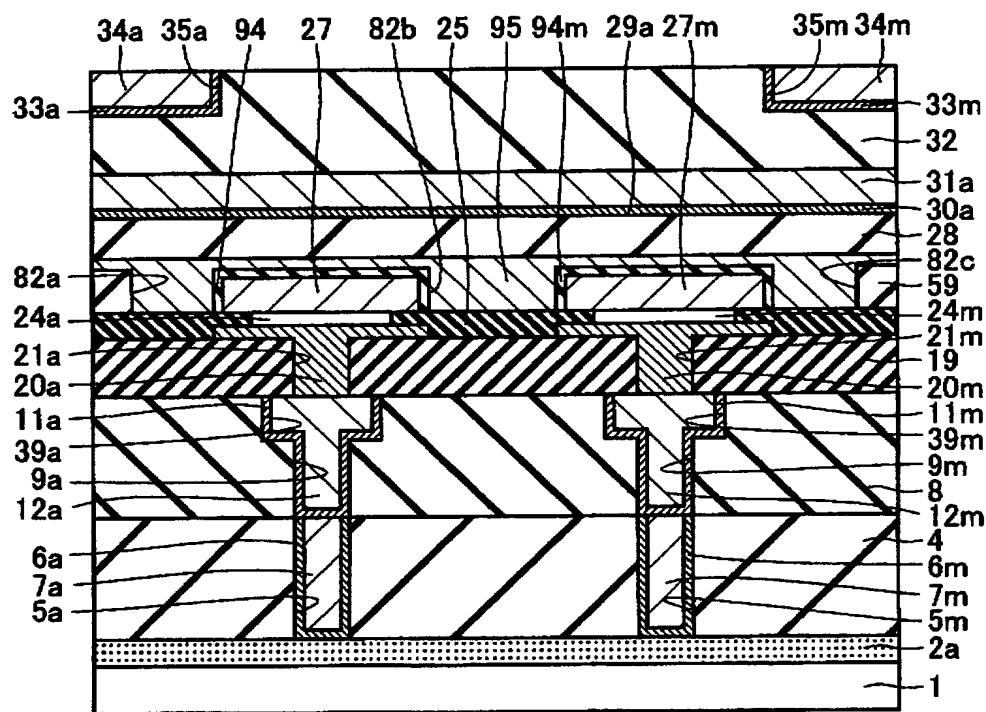
【図34】



【図35】



【図36】



【書類名】 要約書

【要約】

【課題】 隣接するメモリセル間で発生するクロストークを抑制するとともに、配線抵抗が増大することのない薄膜磁性体記憶装置を提供する。

【解決手段】 薄膜磁性体記憶装置は、シリコン基板1の主表面1a上で所定の間隔を隔てて設けられ、メモリ素子として動作するTMR素子24aおよび24bと、TMR素子24aと交差するように一方向に延在し、TMR素子24aに磁場を印加するための導電体膜17aおよびバリアメタル膜18aから構成される第1のディジット線と、TMR素子24bと交差するように第1のディジット線と平行に延在し、TMR素子24bに磁場を印加するための導電体膜17bおよびバリアメタル膜18bから構成される第2のディジット線と、第1のディジット線から第2のディジット線までの間を充填し、かつ第1および第2のディジット線と接触するように設けられた磁性体膜15bとを備える。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社